



Diploma of  
Telecommunication  
Engineering  
Telkom University



Telkom  
University

# VTI1H3 - SISTEM DIGITAL<sup>©</sup> SEMESTER GENAP – KURIKULUM 2020

Denny Darlis S.Si., M.T. - 13770026

Program Studi D3 Teknologi Telekomunikasi  
Fakultas Ilmu Terapan - Universitas Telkom



# Telkom University

VT11H3-

## SISTEM DIGITAL

Kuliah #3

### PENGENALAN GERBANG LOGIKA DASAR DAN UNIVERSAL

Denny Darlis

Program Studi D3 Teknologi Telekomunikasi

Fakultas Ilmu Terapan - Universitas Telkom

Semester Genap 2020/2021

# Outline

- Tujuan Perkuliahan
- Jenis-Jenis Gerbang Dasar
- Gerbang Dasar Dengan Input Lebih Dari 2
- Alternatif Simbol Gerbang
- Gerbang Universal

# Tujuan Perkuliahan

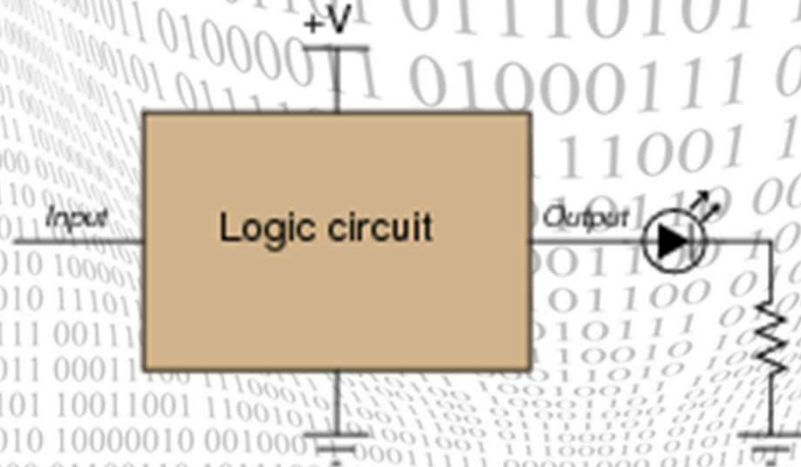
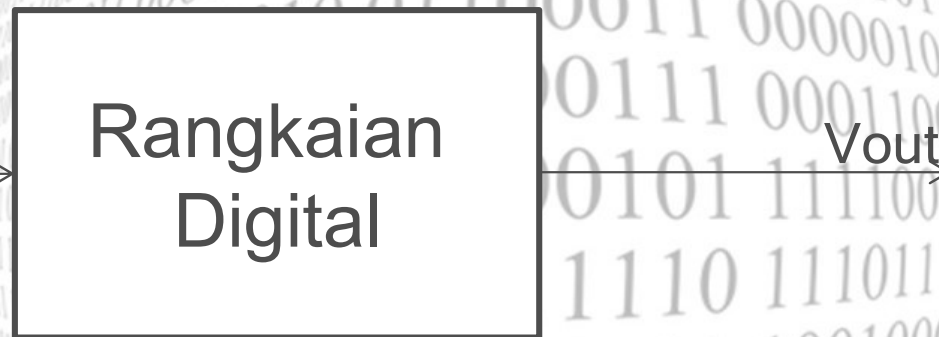
- Memahami Jenis Gerbang Dasar 2 Input dan Lebih
- Memahami Jenis Gerbang Universal dan penggunaannya

# Rangkaian Digital

- Rangkaian digital adalah landasan dari komputer digital dan sistem kendali otomatis
- Pada rangkaian digital, dua level tegangan merepresentasikan dua *digit* biner, 1 dan 0 serta dirancang untuk menghasilkan tegangan keluaran yang jatuh di antara jangkauan 0 dan 1 yang dinyatakan sebelumnya

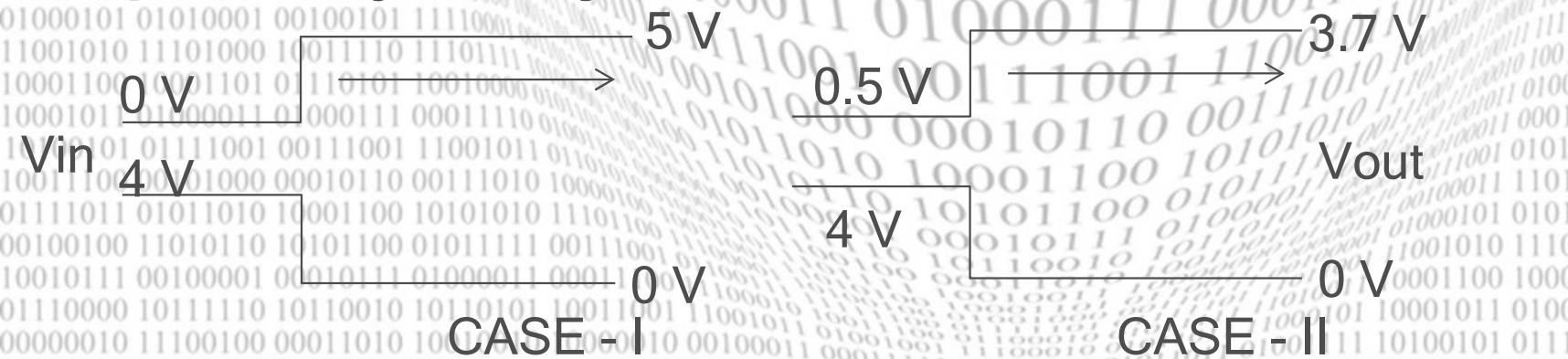


- Gambar berikut merepresentasikan rangkaian digital umumnya dengan masukan  $V_{in}$  dan keluaran  $V_{out}$

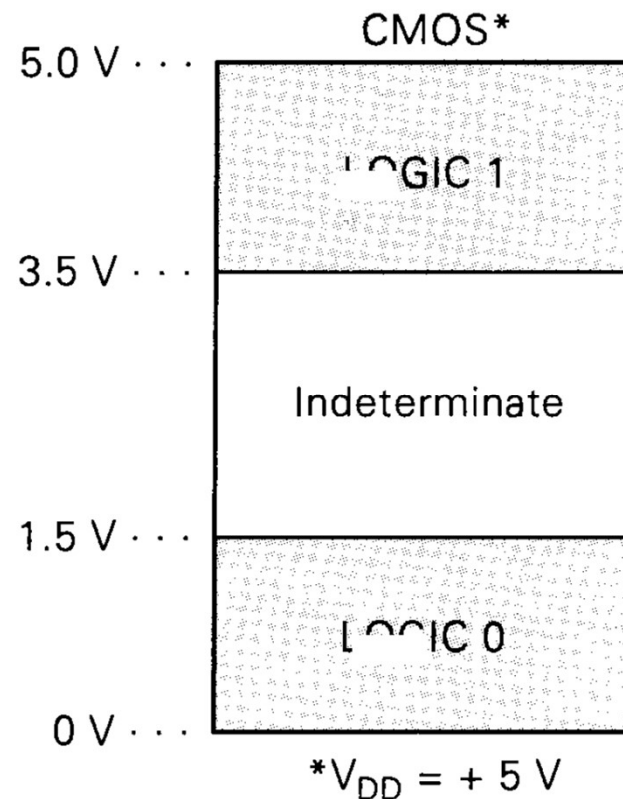
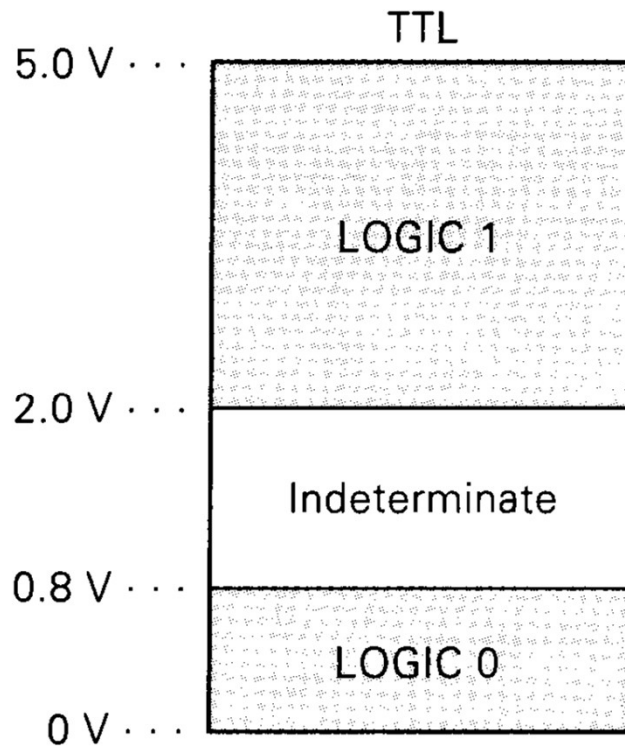




- Keluarannya ditunjukkan oleh dua gelombang masukan yang berbeda di bawah ini
- $V_{out}$  adalah sama untuk kedua gelombang masukan, hanya berbeda pada level tegangan pastinya saja.



# Tegangan Masukan



# Rangkaian Logika

- Cara rangkaian digital merespon masukan dikenal dengan nama logika rangkaian
- Setiap rangkaian digital mematuhi sejumlah aturan logika, sehingga rangkaian digital dikenal pula dengan nama rangkaian logika





- Rangkaian logika secara umum berisi gerbang digital
- Kombinasi gerbang-gerbang membentuk rangkaian yang dikenal sebagai rangkaian digital
- Rangkaian digital dibangun menggunakan komponen elektronika Transistor (BJT/FET)


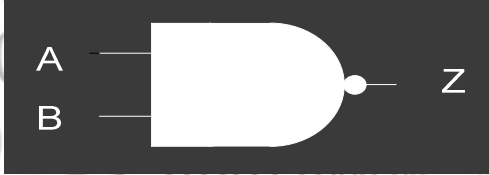
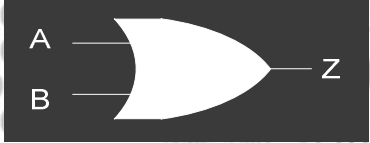
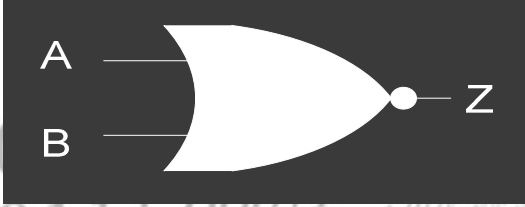
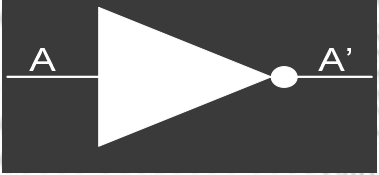
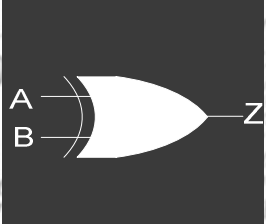
# Rangkaian Logika Digital

- Rangkaian Kombinasional
- Rangkaian Sekuensial



# JENIS - JENIS GERBANG DASAR



<b>AND</b> 	<b>NAND</b> 
<b>OR</b> 	<b>NOR</b> 
<b>NOT</b> 	<b>XOR</b> 

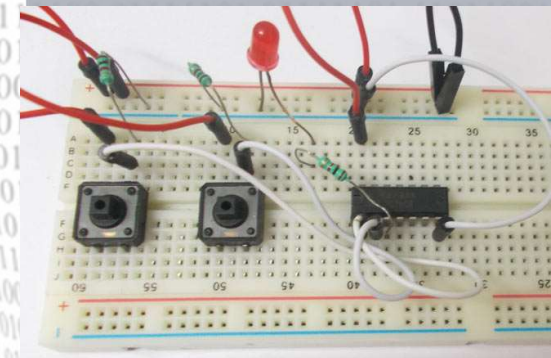
# GERBANG LOGIKA

- SIMBOL (*SYMBOL*)
- PERSAMAAN BOOLEAN (*BOOLEAN ALGORITHM*)
- TABEL KEBENARAN (*TRUTH TABLE*)
- DIAGRAM PEWAKTUAN (*TIMING DIAGRAM*)



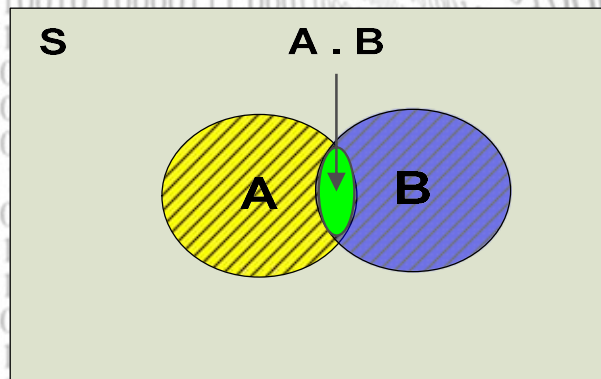
# GERBANG AND

Gerbang AND akan mempunyai output bernilai 1 apabila semua inputnya bernilai 1, Selain itu outputnya akan bernilai 0

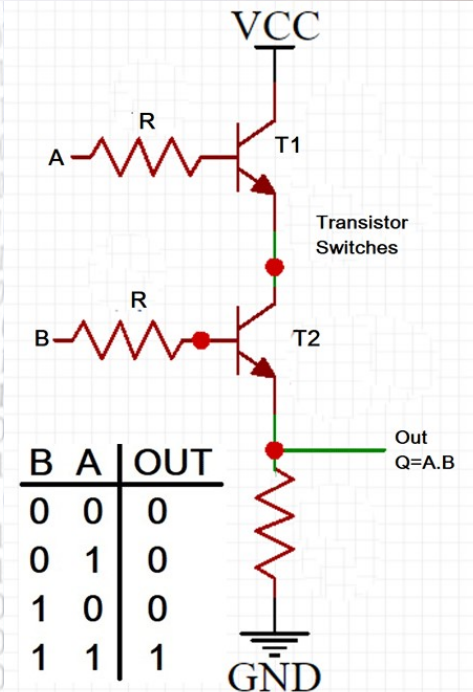


$$Z = A \cdot B$$

## DIAGRAM VENN



A	B	A.B
0	0	0
0	1	0
1	0	0
1	1	1



<https://circuitdigest.com/tags/logic-gates?page=2>

# TIMING DIAGRAM AND





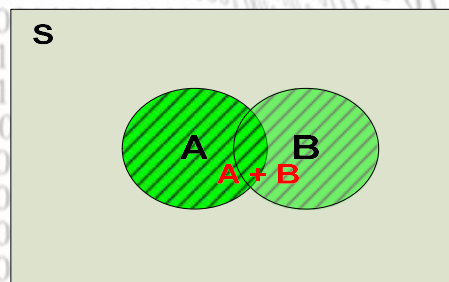
# GERBANG OR

Gerbang OR akan mempunyai output bernilai 0 apabila semua inputnya bernilai 0, Selain itu outputnya akan bernilai 1

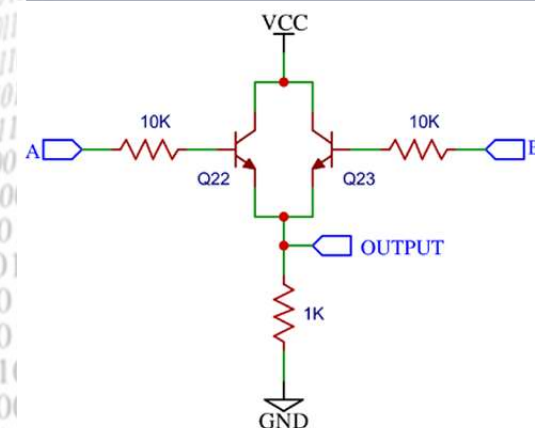
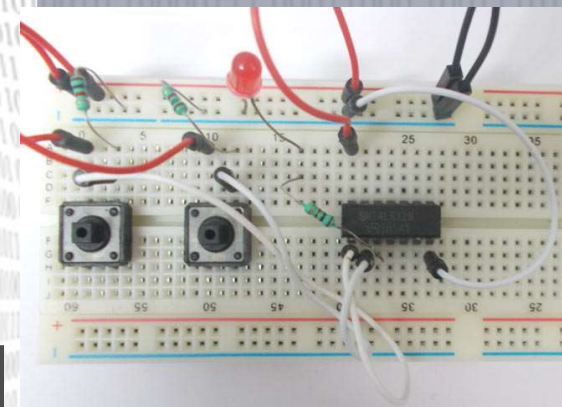


$$Z = A + B$$

DIAGRAM VENN



A	B	A + B
0	0	0
0	1	1
1	0	1
1	1	1



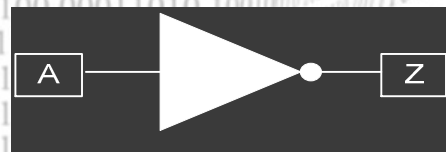
# TIMING DIAGRAM OR





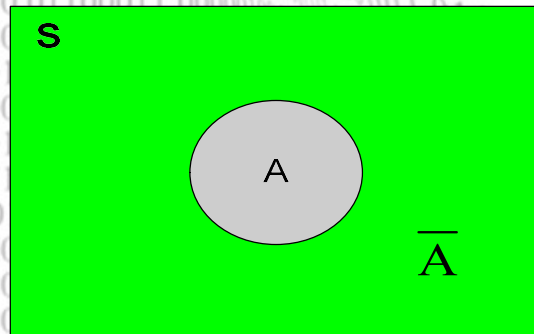
# GERBANG NOT

Output gerbang NOT adalah kebalikan dari inputnya.  
Jika input HIGH, maka output LOW, dan kebalikannya.  
Gerbang NOT sering disebut INVERTER

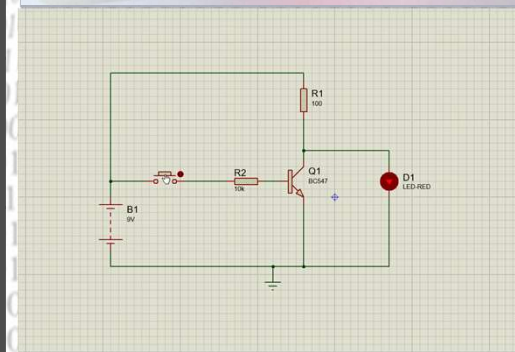
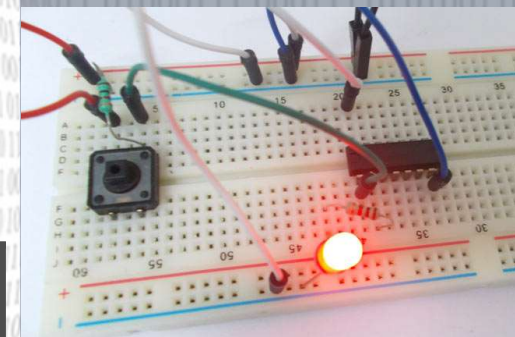


$$Z = A'$$

## DIAGRAM VENN



	A	$\bar{A}$
0	0	1
1	1	0



# TIMING DIAGRAM NOT



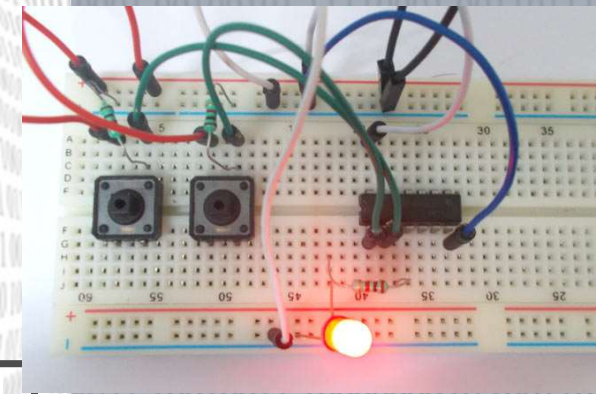


# GERBANG NAND

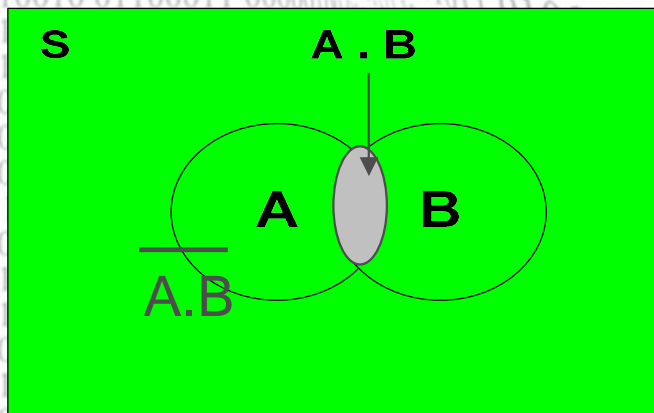
Gerbang NAND merupakan gabungan gerbang AND dan gerbang NOT. Keluaran gerbang NAND adalah keluaran gerbang AND yang diinversikan (di-NOT-kan).



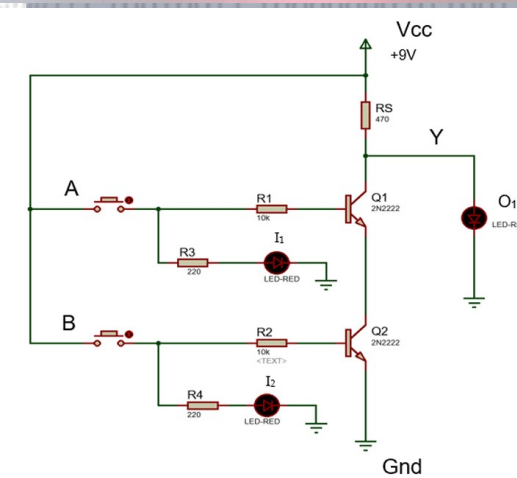
$Z = \overline{A \cdot B}$  <= Persamaan Boolean



## DIAGRAM VENN



A	B	A.B	$\overline{A \cdot B}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0





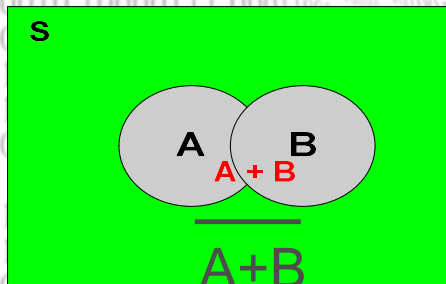
# GERBANG NOR

Gerbang NOR adalah gabungan gerbang OR dan gerbang NOT. Keluaran Gerbang NOR adalah keluaran gerbang OR diinversikan (di-NOT-kan).

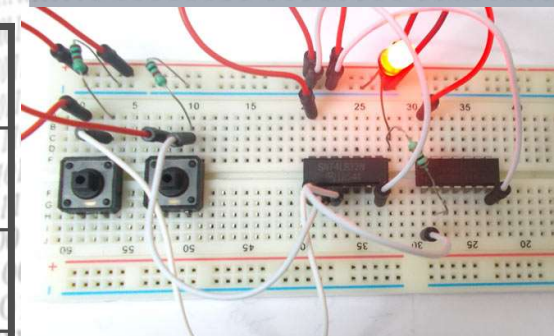


$$Z = \overline{A + B}$$

DIAGRAM VENN



A	B	A+B	$\overline{A + B}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0



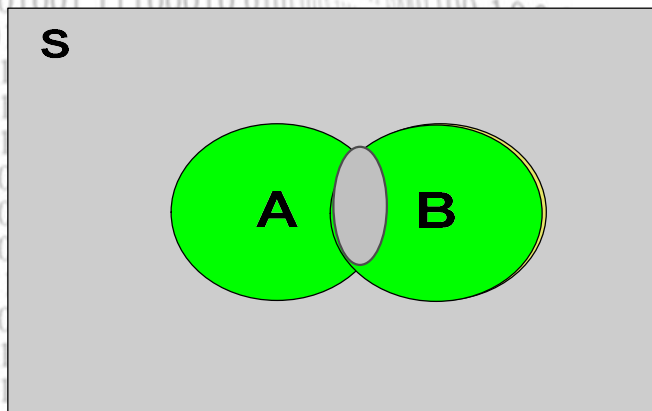


# GERBANG XOR

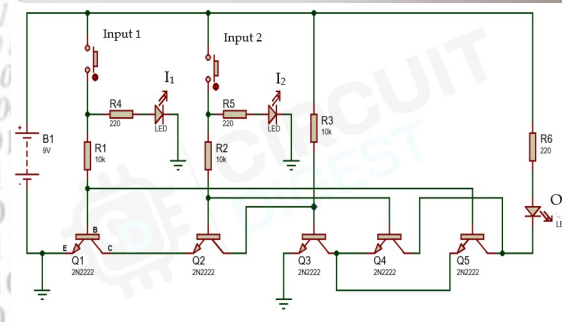
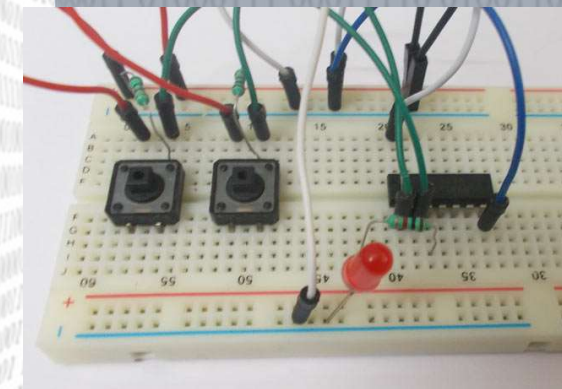
Gerbang XOR akan mempunyai nilai output 1 apabila jumlah input yang bernilai 1 adalah ganjil.



## DIAGRAM VENN



A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

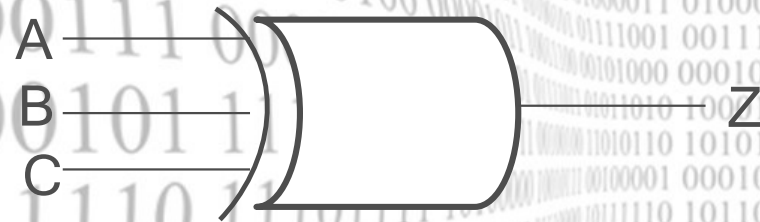


# GERBANG X-NOR?

# GERBANG X-AND?



$$Z = A \cdot B \cdot C = (A \cdot B \cdot C)'$$



$$Z = A \oplus B \oplus C$$



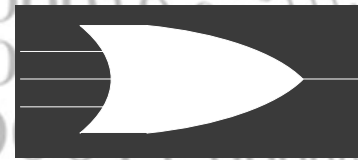
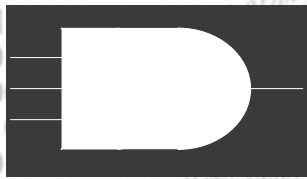
$$Z = \overline{A + B + C} = (A + B + C)'$$

# Gerbang Dasar dengan Input Lebih Dari 2

- Gerbang AND, OR, NAND dan NOR bisa mempunyai input lebih dari 2 (3,4, dst)
- Sifat yang dimiliki tetap



# Gerbang AND dan OR dengan 3 input



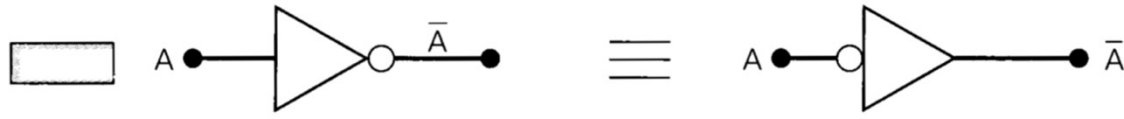
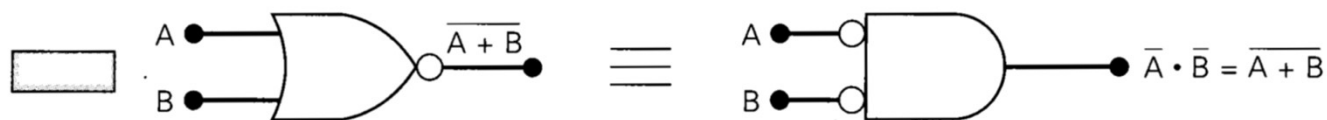
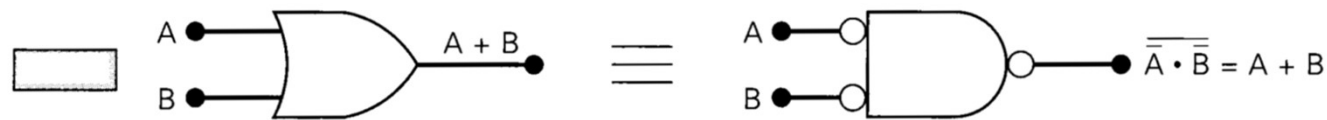
A	B	C	A.B.C
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

A	B	C	A+B+C
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1



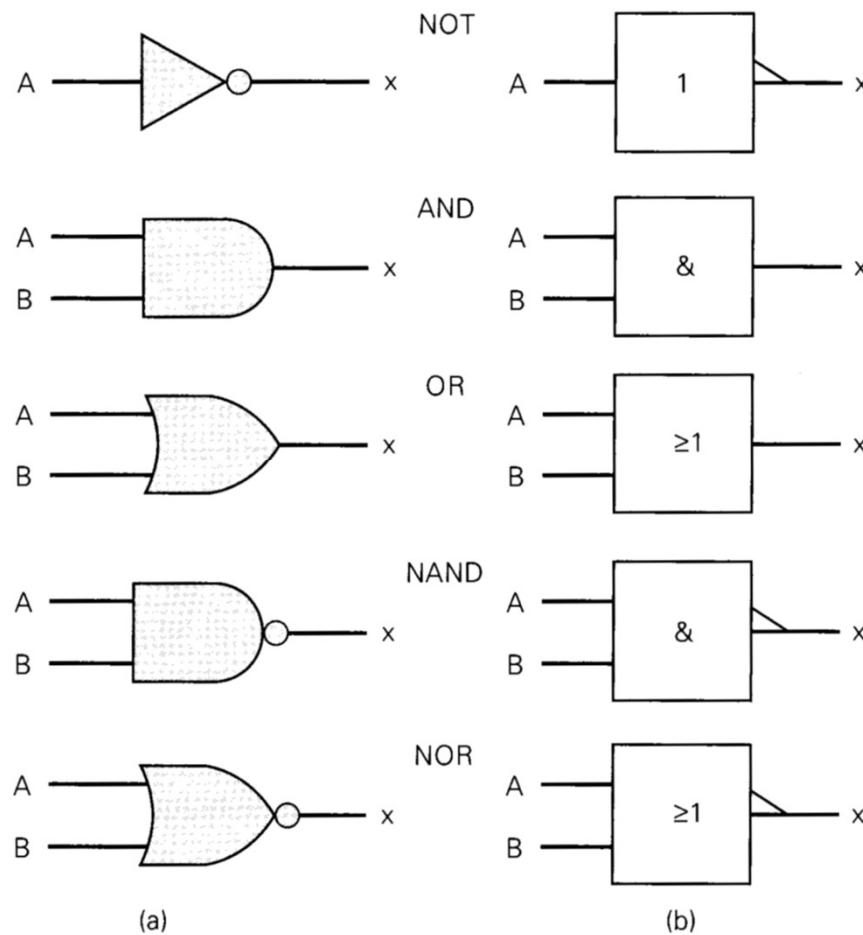


# Alternatif Simbol Gerbang





# Symbol Standar IEEE/ANSI

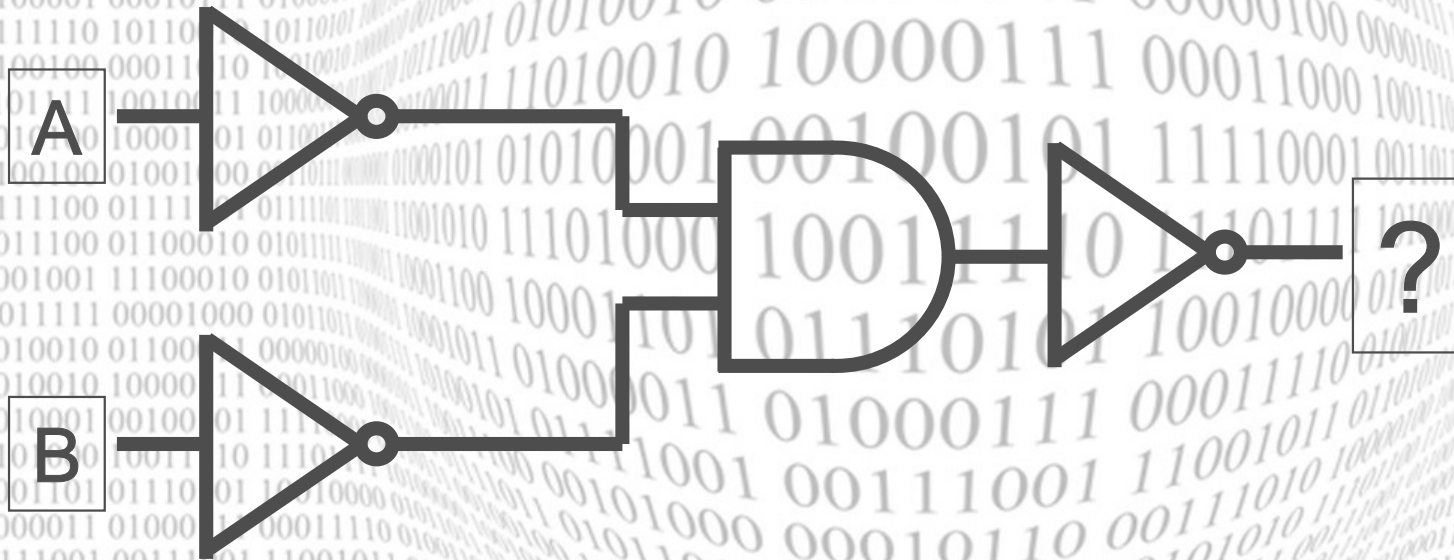




# Gerbang Universal

- Gerbang NAND dan Gerbang NOR lebih banyak diproduksi oleh perusahaan pembuat IC Gerbang Logika
- Gerbang selain NAND dan NOR dapat dengan mudah difabrikasi untuk membentuk gerbang lainnya

# Contoh Rangkaian Sederhana



NOT-AND-NOT





# Tabel Kebenaran untuk Rangkaian

A	B	$A'$	$B'$	$A' \cdot B'$	$(A' \cdot B')'$
0	0	1	1	1	0
0	1	1	0	0	1
1	0	0	1	0	1
1	1	0	0	0	1

# Contoh Implementasi



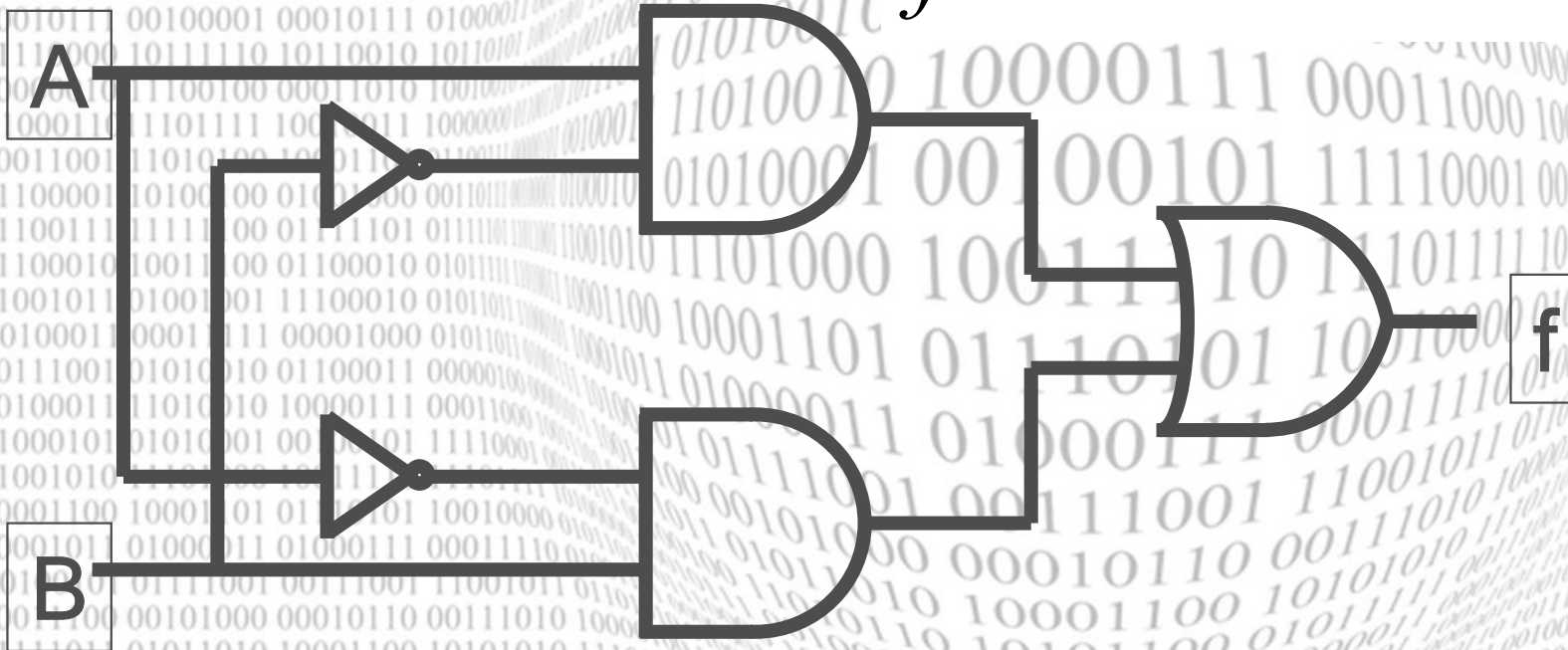
$$f = A \cdot \overline{B} + \overline{A} \cdot B$$

A	B	$A \cdot \overline{B}$	$\overline{A} \cdot B$	f
0	0	0	0	0
0	1	0	1	1
1	0	1	0	1
1	1	0	0	0

# Contoh implementasi



$$f = A \bullet \bar{B} + \bar{A} \bullet B$$



NOT-AND-OR



## Tugas II

Buatlah implementasi gerbang AND, OR, NOT, NAND, NOR dengan menggunakan hanya gerbang NAND saja dan gerbang NOR saja!

AND = (NAND)

AND = (NOR)

OR = (NAND)

OR = (NOR)

NOT = (NAND)

NOT = (NOR)

NAND = (NAND)

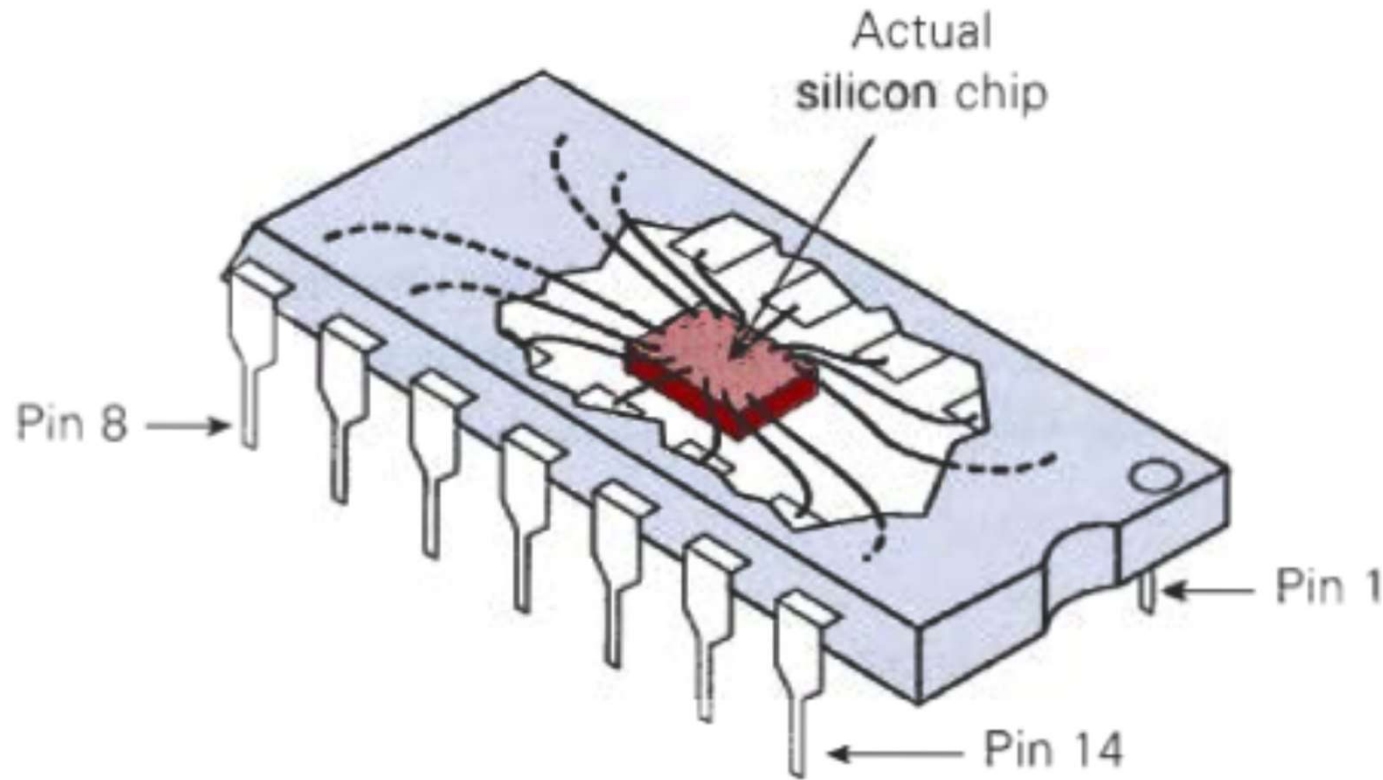
NAND = (NOR)

# Definisi

- Rangkaian Terintegrasi (*Integrated Circuit*) Digital atau biasa disebut IC Digital adalah gabungan resistor, diode dan transistor yang difabrikasi pada sebuah material semikonduktor (biasanya berbahan silikon) yang disebut *substrate*, lebih umum disebut sebagai *chip*.
- Chip dibungkus oleh plastik protektif atau kemasan keramik yang terhubung ke pin-pin untuk menghubungkannya ke IC atau piranti lainnya

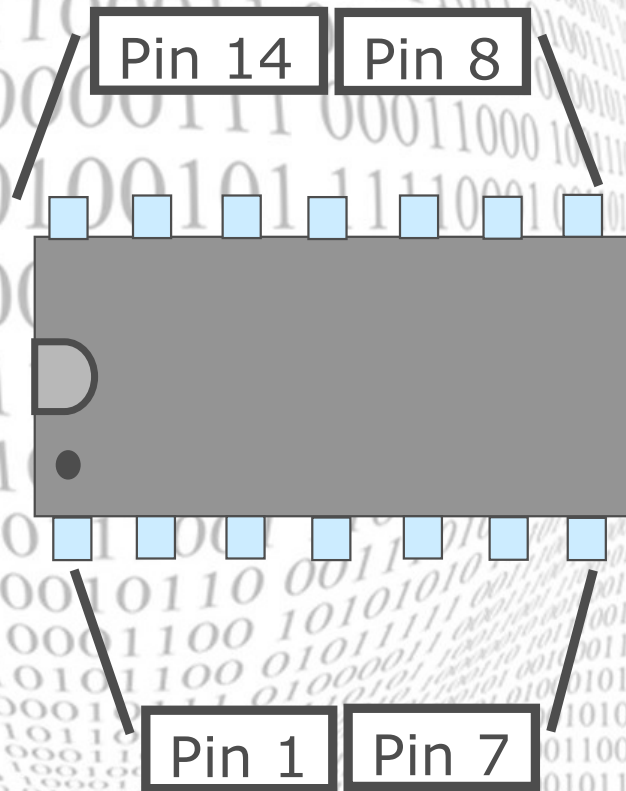


# Kemasan IC: DIP



# Chip

- Chip logika dasar biasanya berbentuk DIP (dual in package) dengan jumlah pin genap. Umumnya adalah 14-pin
- Pin 1 ditandai dengan adanya titik atau setengah lingkaran.
- Nomor pin urut dibaca dari pin 1 berlawanan arah dengan jarum jam.



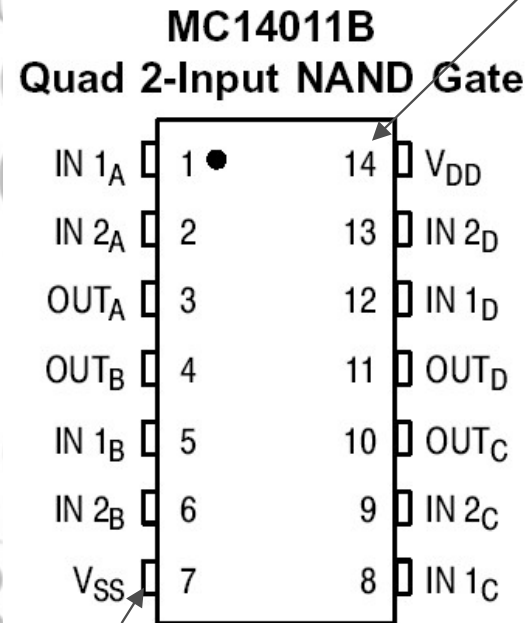
# Chip

- Chips memerlukan tegangan untuk beroperasi

- Vcc yang digunakan biasanya adalah 5 volts dan pin VCC umumnya pada nomor pin terakhir (untuk DIP14 berarti pada pin 14)

- Pin Ground biasanya pada pin terakhir yang sejajar dengan pin 1 (pada DIP14 maka no pin GND biasanya adalah no 7)

Voltage



Ground



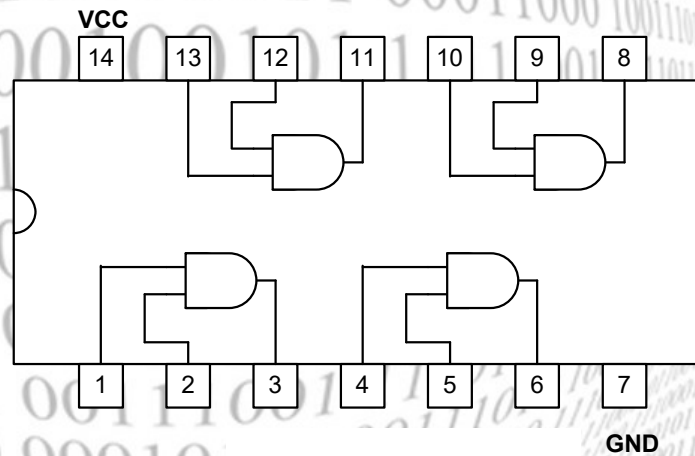


# Chips/ IC Digital Dasar

- Implementasi diagram logika dilakukan dengan menggunakan Rangkaian elektronik digital yang biasanya berbentuk chips/IC
- Jenis Chip logika yang ada di pasaran biasanya berbentuk IC TTL (Transistor-transistor Logic) atau MOS
- Chip tersebut diidentifikasi dengan part number atau model number.
  - Seri IC rangkaian digital standar diawali dengan 74, 4, or 14.
    - 7404 is an inverter
    - 7408 is an AND
    - 7432 is an OR
    - 4011B is a NAND

# Contoh IC TTL Gerbang Dasar

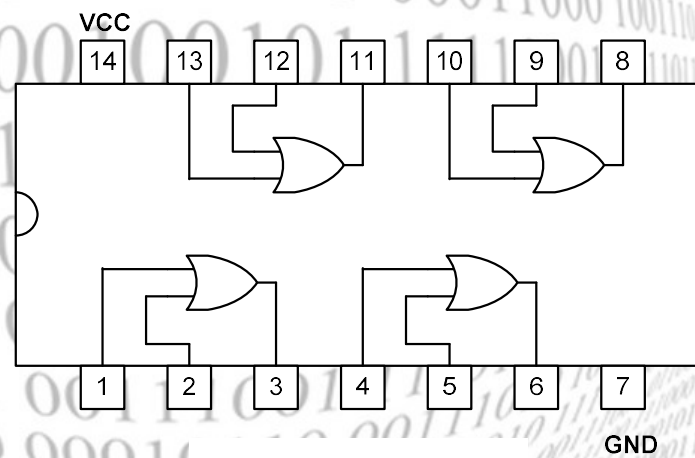
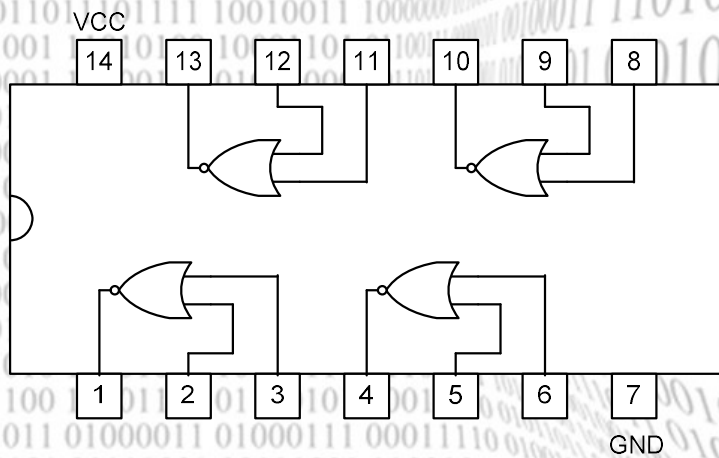
- 74LS00 : Quad 2 input NAND Gate
- 74LS08 : Quad 2 input AND Gate





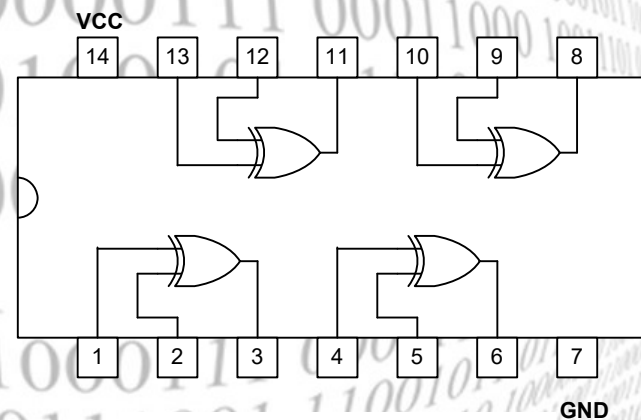
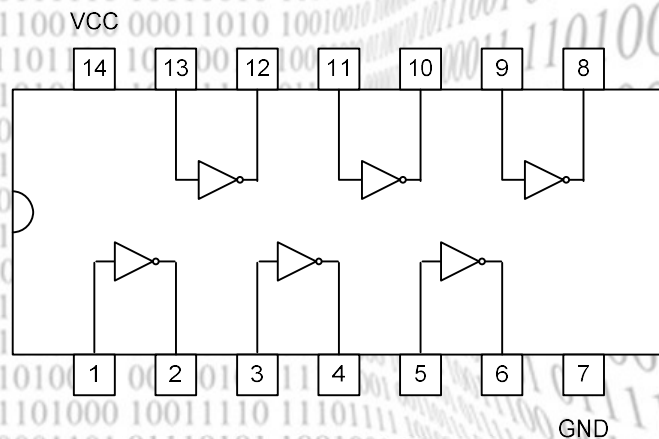
# Contoh IC TTL Gerbang Dasar

- 74LS02 : Quad 2 input NOR Gate
- 74LS32 : Quad 2 input OR Gate



# Contoh IC TTL Gerbang Dasar

- 74LS04 : Hex Inverter
- 74LS86 : Quad 2 input XOR Gate



# Kategori IC Digital



Complexity	Gates per Chip
Small-scale integration (SSI)	Fewer than 12
Medium-scale integration (MSI)	12 to 99
Large-scale integration (LSI)	100 to 9999
Very large-scale integration (VLSI)	10,000 to 99,999
Ultra large-scale integration (ULSI)	100,000 to 999,999
Giga-scale integration (GSI)	1,000,000 or more



# Keluarga TTL

TTL Series	Prefix	Example IC
Standard TTL	74	7404 (hex INVERTER)
Schottky TTL	74S	74S04 (hex INVERTER)
Low-power Schottky TTL	74LS	74LS04 (hex INVERTER)
Advanced Schottky TTL	74AS	74AS04 (hex INVERTER)
Advanced low-power Schottky TTL	74ALS	74ALS04 (hex INVERTER)

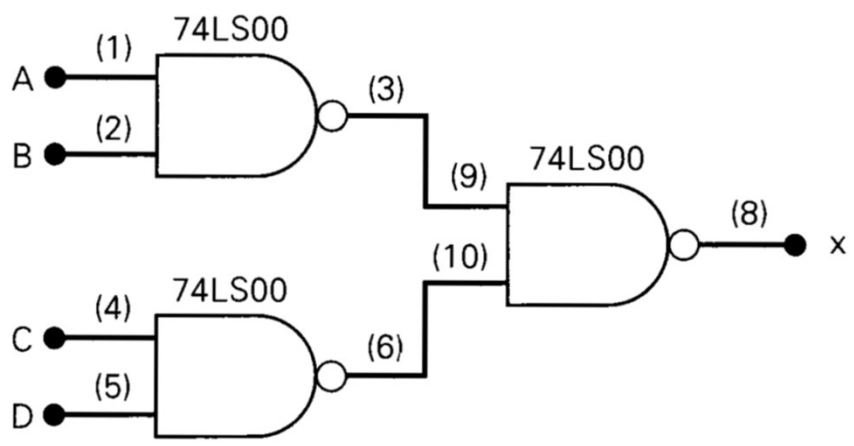
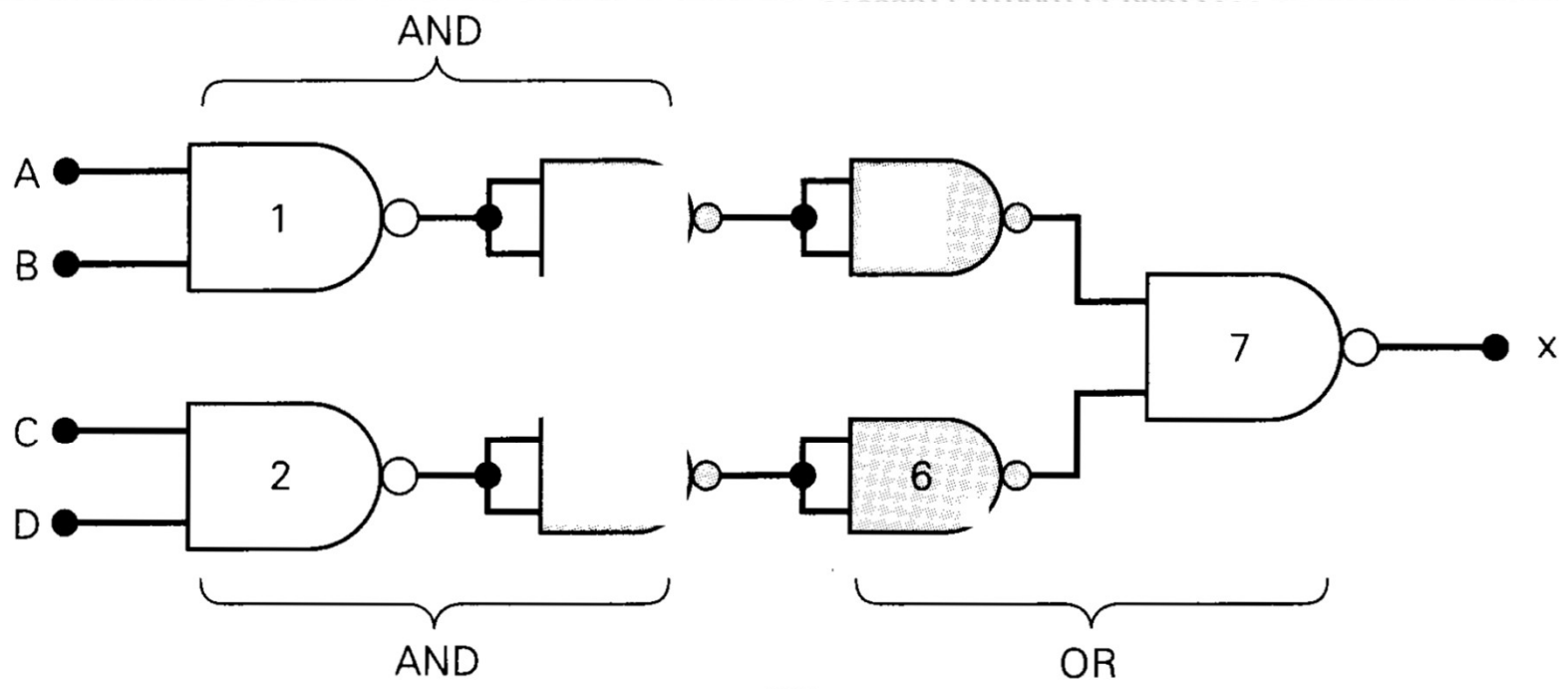
Perbedaannya hanya di disipasi daya dan kecepatan switching

# Keluarga CMOS



TABLE 4-7 Various series within the CMOS logic family.

Metal-gate CMOS	40	4001 (quad NOR gates)
Metal-gate, pin-compatible with TTL	74C	74C02 (quad NOR gates)
Silicon-gate, pin-compatible with TTL, high-speed	74HC	74HC02 (quad NOR gates)
Silicon-gate, high-speed, pin-compatible and electrically compatible with TTL	74HCT	74HCT02 (quad NOR gates)
Advanced-performance CMOS, not pin-compatible or electrically compatible with TTL	74AC	74AC02 (quad NOR)
Advanced-performance CMOS, not pin-compatible with TTL, but electrically compatible with TTL	74ACT	74ACT02 (quad NOR)





# Piranti Logika Terprogram

## Programmable logic devices (PLD)

- SPLDs (simple PLDs)
  - PAL (programmable array logic) or PLA (programmable logic array)
  - generic PAL (GAL)
  - PALCE (PAL CMOS electrically erasable/programmable device)
- CPLD (complex PLD)
- FPGAs (field programmable gate arrays)

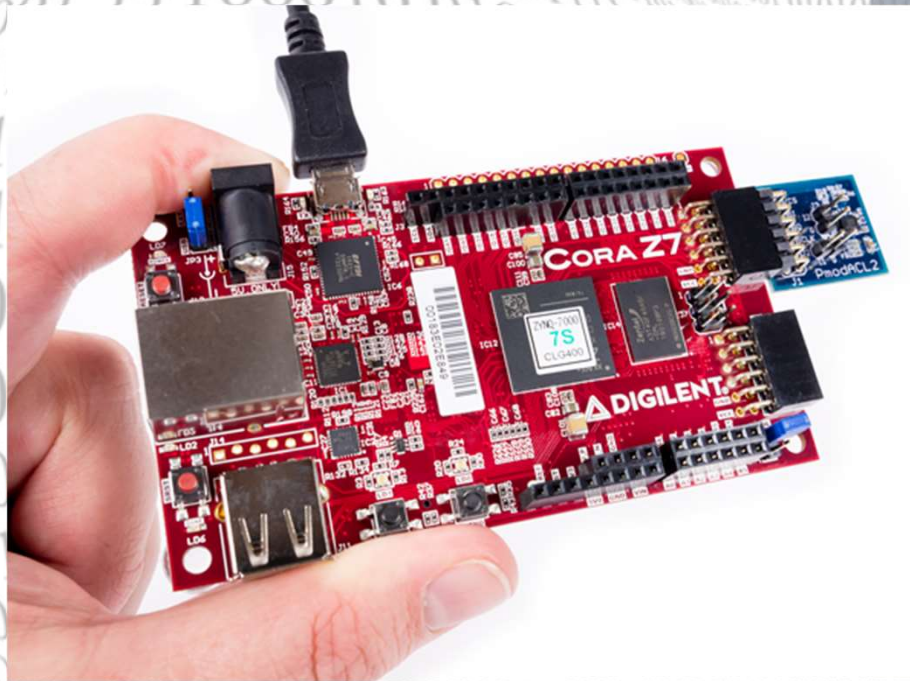
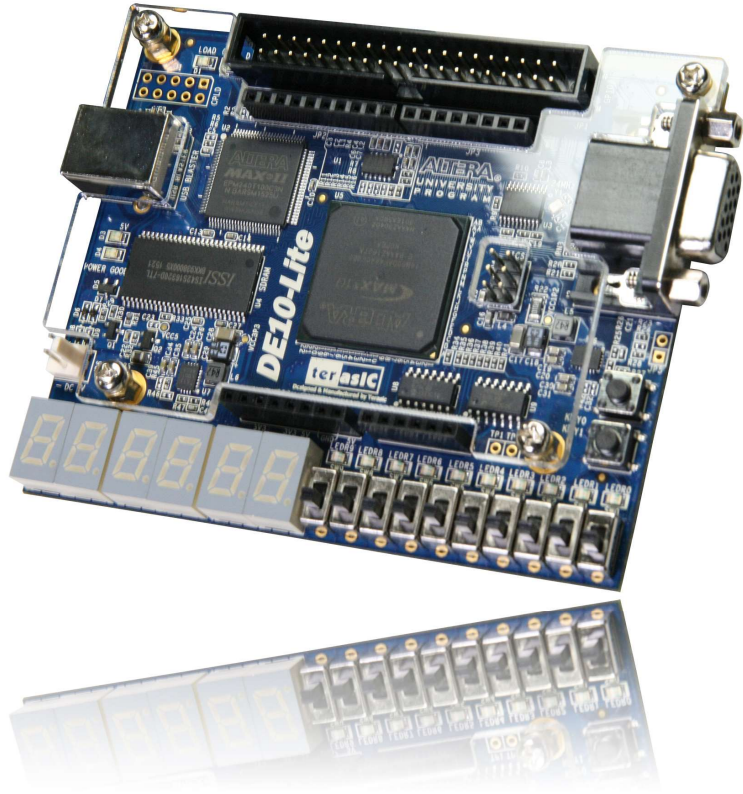
PLDs	SPLDs	PAL (mid 1970s) PLA (mid 1970s) Registered PAL/PLA (late 1970s) GAL/PALCE (early 1980s)
	CPLDs (mid 1980s)	
	FPGAs (mid 1980s)	

# FPGA

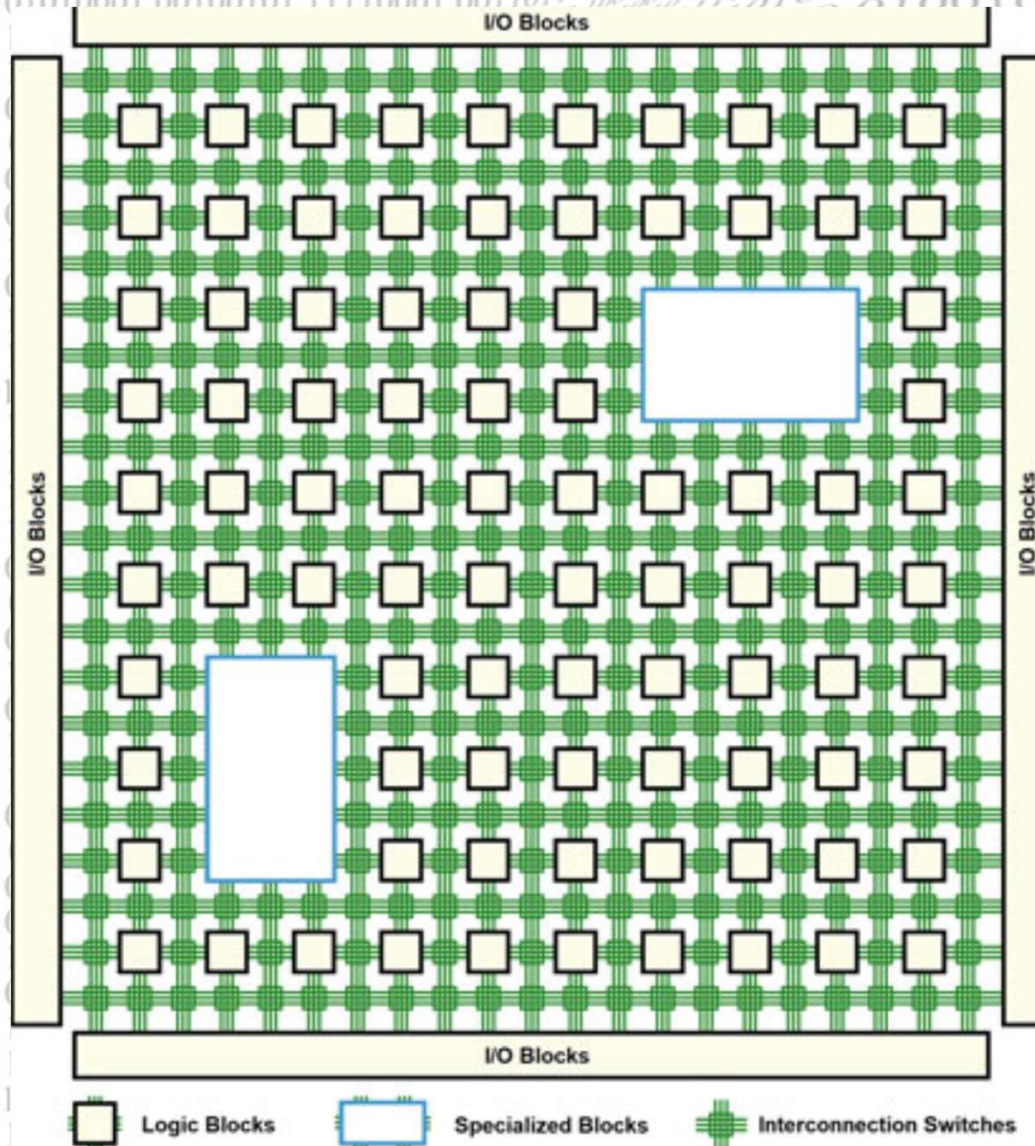
An FPGA is



# FPGA Board

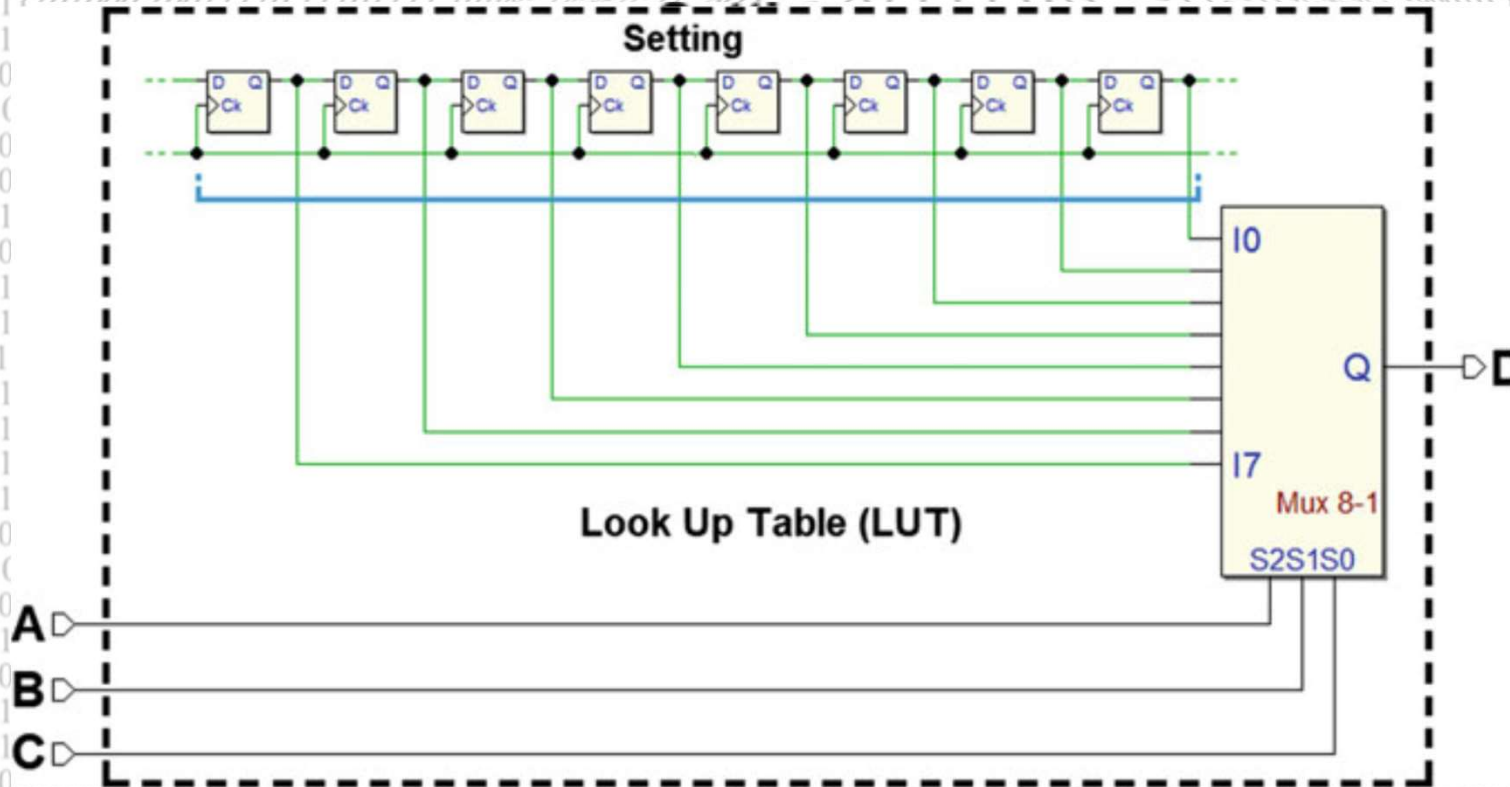


# Arsitektur FPGA



of logic blocks,  
flops and  
is spread  
are of its area.  
rows and  
switches allow  
columns.  
nection among  
o improve the  
ks physically

# Arsitektur FPGA



# Tools Pemrograman FPGA



The screenshot displays the Quartus Prime Lite Edition software interface. The main window shows a VHDL code editor with the following code:

```
1  --
2  library ieee;
3  use ieee.std_logic_1164.all;
4  use ieee.std_logic_arith.all;
5
6  entity time is
7  port(
8  -- in, out port
9  f1: in std_logic;
10 f0: out std_logic; --signal output
11 f0i: out std_logic
12 );
13 end time;
14
15 architecture behavior of f2 is
16
17     signal q, clk: std_logic;
18 begin
19
20     process(f1)
21
22     begin
23         if rising_edge(f1) then
24             q <= not q;
25         end if;
26     end process;
27 end architecture;
```

The messages window at the bottom shows the following error messages:

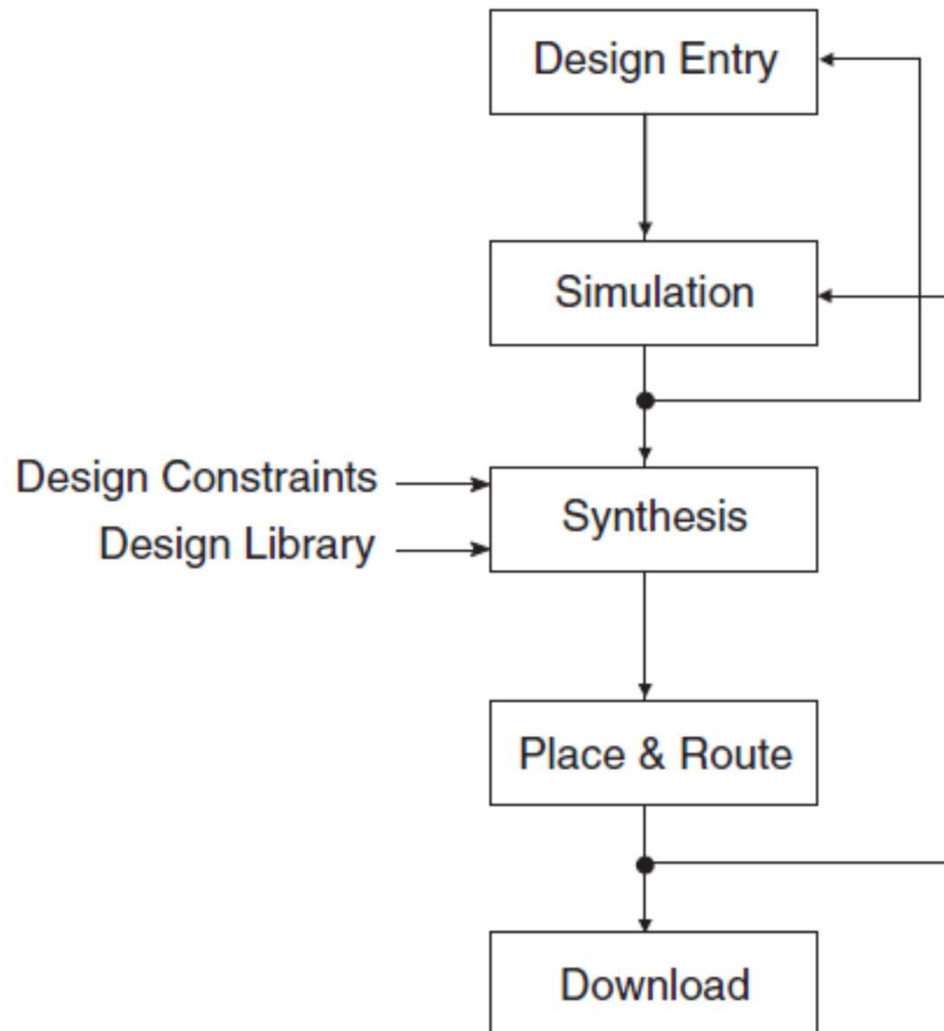
Type	ID	Message
Warning	29028	Parallel compilation is not licensed and has been disabled
Information	12021	Found 2 design units, including 1 entities, in source file time.vhd
Error	12007	Top-level design entity "time" is undefined
Warning		Quartus Prime Analysis & Synthesis was unsuccessful. 1 error, 1 warning
Warning	293091	Quartus Prime Full Compilation was unsuccessful. 3 errors, 1 warning

# Perancangan di FPGA

- Menggunakan Skema
- Menggunakan HDL (*Hardware Description Language*) seperti Verilog, VHDL atau System C

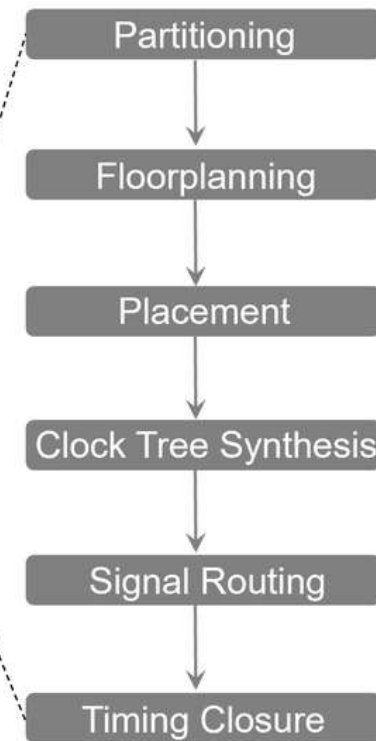
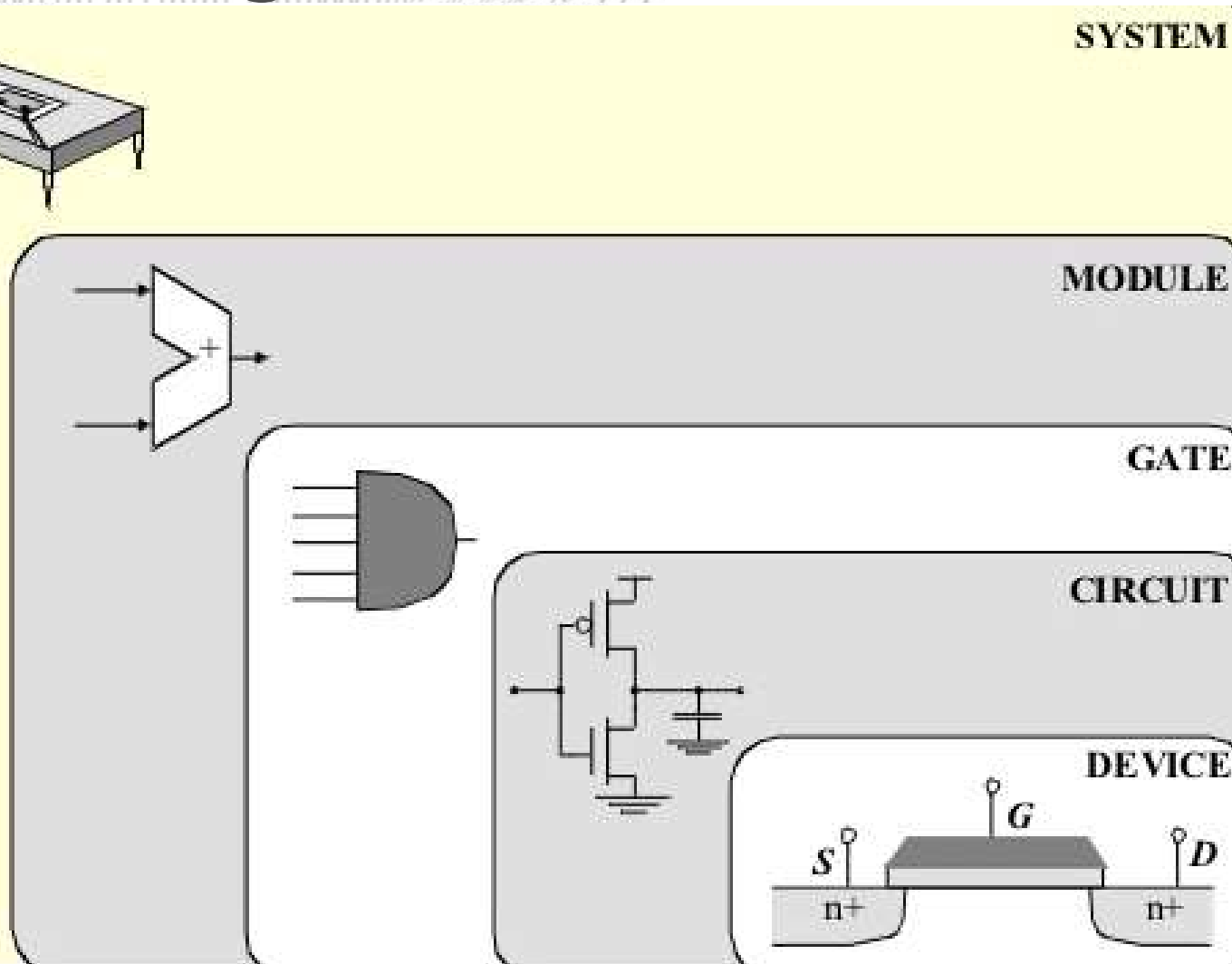
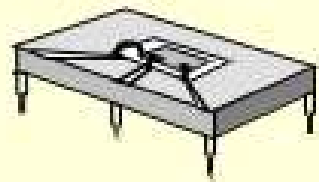


# Alur Perancangan di FPGA





# Diagram Alir Perancangan IC





Ada Pertanyaan?

**TERIMA KASIH**