

BERKAS PENYUSUNAN
RENCANA PEMBELAJARAN
SEMESTER (RPS)

TELKOM



FAKULTAS ILMU TERAPAN

Program Studi D3 Teknologi Telekomunikasi

Matakuliah	:	SISTEM DIGITAL
Kode Mata Kuliah	:	GAK1HAB3
SKS	:	3 SKS
Semester	:	2
Tahun Akademik	:	2024/2025

TELKOM



RENCANA PEMBELAJARAN SEMESTER
PROGRAM STUDI D3 Teknologi Telekomunikasi
FAKULTAS ILMU TERAPAN – TELKOM UNIVERSITY

MATAKULIAH	KODE	RUMPUN MK	BOBOT		SEMESTER	VERSION
SISTEM DIGITAL	GAK1HAB3	-	T= -	P= -	Genap	2025-02-12 06:21:04
OTORITAS	PENGEMBANG RPS		KETUA KELOMPOK KEAHLIAN			Ka PRODI
	Denny Darlis S.Si., M.T.					
Deskripsi Mata Kuliah	Mata Kuliah Sistem Digital adalah mata kuliah yang diselenggarakan Program Studi D3 Teknologi Telekomunikasi dalam memberikan wawasan dan kemampuan dasar mengenai sistem dan elektronika digital sebagai bekal pemahaman tentang perangkat transmisi dan jaringan telekomunikasi broadband. Pada mata kuliah ini mahasiswa akan mempelajari konsep dasar sistem, teknik dan rangkaian digital, Sistem bilangan dan kode biner, Aljabar Boolean dan penyederhanaan rangkaian digital, perancangan dan implementasi rangkaian kombinasional serta perancangan dan implementasi rangkaian sekuensial.					
Tipe Merdeka Belajar	Penelitian/Riset					
Deskripsi Merdeka Belajar						
Capaian Pembelajaran Mata Kuliah	Program Learning Outcomes (PLO) / CPL PRODI					
	PLO 3	Menguasai konsep teoritis bidang pengetahuan dasar dan perhitungan matematis yang mendukung teknologi informasi dan telekomunikasi. (P)				
	PLO 4	Memiliki kompetensi untuk menyelesaikan masalah terkait rekayasa teknologi informasi dan telekomunikasi sesuai kebutuhan industry. (KU)				
	Course Learning Outcomese (CLO)					PLO yang di dukung
	CLO 1	Mahasiswa mampu mendeskripsikan konsep dasar sinyal, sistem, elektronika dan teknik digital			PLO 3	
	CLO 2	Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal			PLO 3	
	CLO 3	Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA			PLO 4	

Tabel Penilaian	PLO	CLO	Assessment Tools	Question
	[PLO-3] Menguasai konsep teoritis bidang pengetahuan dasar dan perhitungan matematis yang mendukung teknologi informasi dan telekomunikasi. (P)	[CLO-1]Mahasiswa mampu mendeskripsikan konsep dasar sinyal, sistem, elektronika dan teknik digital	Tugas 1(4%)	(%)
			Ujian Formatif(5%)	(%)
			Praktikum(3.5%)	(%)
		[CLO-2]Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal	Tugas 2(5%)	(%)
			Ujian Formatif(10%)	(%)
			Praktikum(21%)	(%)
	[PLO-4] Memiliki kompetensi untuk menyelesaikan masalah terkait rekayasa teknologi informasi dan telekomunikasi sesuai kebutuhan industry. (KU)	[CLO-3]Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA	Presentasi Tugas 3,Tugas 3(5%)	(%)
			Ujian Formatif(10%)	(%)
			Praktikum(31.5%)	(%)
Pustaka	Utama			
	Sistem Digital			
	Digital System Design with FPGA Implementation Using Verilog and VHDL			
	DIGITAL ELECTRONICS AND DESIGN WITH VHDL			
	Diktat Kuliah Sistem Digital			
	Pendukung			
	Modul Praktikum Sistem Digital			
	A hub for learning about computer hardware with FPGAs			
	Terasic DE10-lite-user-manual			
	Terasic RFS User Manual			
Media Pembelajaran	Software			
	DE10_Lite_ControlPanel_V1.0.3			
	DE10-Lite_v.2.1.0_SystemCD			
	Intel Quartus Prime Lite Edition Design Software Version 18.1 for Windows			
	Intel Quartus Prime Lite Edition Design Software Version 18.1 for Linux			
	ModelSim-Intel FPGAs Standard Edition Software Version 18.1			
	Hardware			
	Terasic DE10-Lite Board			
	Terasic DE10-Standard			
	Terasic RFS Daughter Board			
Sertifikat	No	Nama Sertifikat	Deskripsi	Link
Team Teaching	Akhmad Alfaruq ST.,MT, Denny Darlis S.Si., M.T.			
Matakuliah Syarat				

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sinyal, sistem, elektronika dan teknik digital								
1-1	CLO 1	• [CLO 1-1.1] Mampu menjelaskan terminologi logika, sinyal, sistem, elektronika, dan teknik digital	• Ketepatan penjelasan terminologi yang digunakan	Ujian Formatif	• MATERI 1 PENGENALAN LOGIKA DAN SISTEM DIGITAL	• Blended Learning	• MATERI 1: PENGENALAN LOGIKA DAN SISTEM DIGITAL[2X50 Menit]	
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sinyal, sistem, elektronika dan teknik digital								
1-2	CLO 1	• [CLO 1-1.2] Mampu memahami aturan Praktikum Sistem Digital dan memasang piranti lunak pengkodean FPGA di masing- masing PC	• Kehadiran pada Praktikum Modul 1	Praktikum	• MODUL 1: PENGENALAN PRAKTIKUM SISTEM DIGITAL DAN INSTALASI PIRANTI LUNAK PENDUKUNG (RUNNING MODUL)	• Blended Learning	• MODUL 1: PENGENALAN PRAKTIKUM SISTEM DIGITAL DAN INSTALASI PIRANTI LUNAK PENDUKUNG (RUNNING MODUL)[3X50 Menit]	
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sinyal, sistem, elektronika dan teknik digital								
2-2	CLO 1	• [CLO 1-1.4] Mampu melakukan kompilasi dan sintesis RTL rangkaian digital berbasis skematik di Intel Quartus Prime serta simulasi pewaktuannya berbasis ModelSim di piranti lunak FPGA	• Mampu memasang piranti lunak pengkodean FPGA di masing-masing PC	Praktikum	• MODUL 2: PENGENALAN PIRANTI LUNAK INTEL QUARTUS PRIME DAN MODELSIM INTEL EDISI FPGA	• Blended Learning	• MODUL 2: PENGENALAN PIRANTI LUNAK INTEL QUARTUS PRIME DAN MODELSIM INTEL EDISI FPGA[3X50 Menit]	
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sinyal, sistem, elektronika dan teknik digital								
2-1	CLO 1	• [CLO 1-1.3] Mampu memahami konsep logika dan sistem digital. Sistem bilangan dan kode biner, gerbang logika dasar dan univerval berikut persamaan Boolean, tabel kebenaran dan diagram pewaktuannya dalam rangkaian digital sederhana	• Ketepatan konversi antar basis bilangan dan membaca kode biner	Ujian Formatif	• Materi 2 SISTEM BILANGAN BINER DAN GERBANG LOGIKA	• Blended Learning	• MATERI 2: SISTEM BILANGAN BINER DAN GERBANG LOGIKA[2X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								
3-2	CLO 2	• [CLO 2-2.10] Mampu mensintesis rangkaian digital kombinasional multiplekser, pembentuk dan penampil angka menggunakan bahasa Verilog di papan pengembangan DE10-Lite	• Mampu melakukan simulasi digital berbasis skematik di piranti lunak pengkodean FPGA	Praktikum	• MODUL 3: PENGENALAN PAPAN PENGEMBANGAN FPGA KELUARGA DE (DE0-NANO DAN DE10-LITE)	• Problem Based learning	• MODUL 3: PENGENALAN PAPAN PENGEMBANGAN FPGA KELUARGA DE (DE0-NANO DAN DE10-LITE)[3X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								
3-1	CLO 2	• [CLO 2-2.1] Mampu memahami basis bilangan biner, dan konversinya, kode biner serta gerbang logika dasar dan Universal NOT, AND, OR, NAND, NOR, XOR	• Mampu mengenali gerbang logika digital dan universal	Ujian Formatif	• Materi 3 ALJABAR BOOLEAN DAN PENYEDERHANAAN RANGKAIAN DIGITAL (KMAP)	• Blended Learning	• MATERI 3: ALJABAR BOOLEAN DAN PENYEDERHANAAN RANGKAIAN DIGITAL (KMAP)[2X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								
4-2	CLO 2	• [CLO 2-2.4] Mampu menggunakan papan pengembangan FPGA keluarga DE dari Terasic	• Kemampuan simulasi digital menggunakan Modelsim	Praktikum	• MODUL 4: PENGENALAN GERBANG DIGITAL DAN SIMULASI RANGKAIAN DIGITAL SEDERHANA BERBASIS SKEMATIK DI INTEL QUARTUS PRIME DAN MODELSIM INTEL FPGA	• Problem Based learning	• MODUL 4: PENGENALAN GERBANG DIGITAL DAN SIMULASI RANGKAIAN DIGITAL SEDERHANA BERBASIS SKEMATIK DI INTEL QUARTUS PRIME DAN MODELSIM INTEL FPGA[3X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
4-1	CLO 2	• [CLO 2-2.3] Mampu menggunakan Aljabar Boolean dan Karnaugh-Map untuk menyederhanakan rangkaian digital	• - Ketepatan evaluasi tabel kebenaran dan menggambar simbol - Ketepatan penjelasan terminologi yang digunakan - Ketepatan konversi antar basis bilangan dan membaca kode biner	Ujian Formatif	• Materi 4 UJI KOMPETENSI I (PENGENALAN SISTEM DIGITAL)	• Problem Based learning	• UJI KOMPETENSI I (PENGENALAN SISTEM DIGITAL)[2X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								
5-1	CLO 2	• [CLO 2-2.5] Mampu konsep logika dan sistem digital. Sistem bilangan dan kode biner, gerbang logika dasar dan univerval berikut persamaan Boolean, tabel kebenaran dan diagram pewaktuannya dalam rangkaian digital sederhana	• Kemampuan dalam mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran, dan diagram pewaktuan	Ujian Formatif	• Materi 4 PENGENALAN BAHASA DESKRIPSI PERANGKAT KERAS VERILOG	• Blended Learning	• MATERI 4: PENGENALAN BAHASA DESKRIPSI PERANGKAT KERAS VERILOG[2X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								
5-2	CLO 2	• [CLO 2-2.6] Mampu melakukan kompilasi dan sintesis RTL rangkaian digital berbasis skematik di Intel Quartus Prime serta simulasi pewaktuan berbasis ModelSim di piranti lunak FPGA	• Kemampuan simulasi digital menggunakan aplikasi Quartus	Praktikum	• MODUL 5: PENGENALAN VERILOG HDL UNTUK RANGKAIAN DIGITAL MENGGUNAKAN LAMPU, SAKLAR DAN MULTIPLEKSER	• Problem Based learning	• MODUL 5: PENGENALAN VERILOG HDL UNTUK RANGKAIAN DIGITAL MENGGUNAKAN LAMPU, SAKLAR DAN MULTIPLEKSER[3X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								
6-1	CLO 2	• [CLO 2-2.7] Mampu menggunakan sintaks bahasa Verilog HDL untuk membangun rangkaian digital	• Kemampuan menyederhanakan rangkaian digital menggunakan Peta Karnaugh	Ujian Formatif	• Materi 5: RANGKAIAN KOMBINASIONAL MULTIPLEKSER, DEMULTIPLEKSER, ENCODER DAN DECODER TAMPILAN DIGITAL	• Blended Learning	• MATERI 5: RANGKAIAN KOMBINASIONAL MULTIPLEKSER, DEMULTIPLEKSER, ENCODER DAN DECODER TAMPILAN DIGITAL[2X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								
6-2	CLO 2	• [CLO 2-2.6] Mampu melakukan kompilasi dan sintesis RTL rangkaian digital berbasis skematik di Intel Quartus Prime serta simulasi pewaktuan berbasis ModelSim di piranti lunak FPGA	• Kemampuan simulasi rangkaian digital sederhana menggunakan aplikasi	Praktikum	• MODUL 6: IMPLEMENTASI RANGKAIAN DIGITAL PEMBENTUK DAN PENAMPIL ANGKA DI FPGA MENGGUNAKAN VERILOG-HDL	• Problem Based learning	• MODUL 6: IMPLEMENTASI RANGKAIAN DIGITAL PEMBENTUK DAN PENAMPIL ANGKA DI FPGA MENGGUNAKAN VERILOG-HDL[3X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								
7-2	CLO 2	• [CLO 2-2.9] Mampu menganalisis rangkaian kombinasional multiplekser, demultiplekser, encoder dan decoder	• Kemampuan simulasi rangkaian penjumlah dan pengurang 4 bit	Praktikum	• MODUL 7: IMPLEMENTASI RANGKAIAN DIGITAL PENGANCING, FLIP-FLOP DAN REGISTER DI FPGA MENGGUNAKAN VERILOG-HDL	• Problem Based learning	• MODUL 7: IMPLEMENTASI RANGKAIAN DIGITAL PENGANCING, FLIP-FLOP DAN REGISTER DI FPGA MENGGUNAKAN VERILOG-HDL[3X50 Menit]	
CLO 2 CLO Mahasiswa memahami konsep sistem bilangan. operasi dan kode digital, gerbang logika dasar digital dan universal								
7-1	CLO 2	• [CLO 2-2.8] Mampu melakukan kompilasi RTL rangkaian digital sederhana menggunakan bahasa Verilog HDL di Intel Quartus Prime serta dan sintesis di papan pengembangan FPGA	• Kemampuan dalam mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran, dan diagram pewaktuan ??? Kemampuan menyederhanakan rangkaian digital menggunakan Peta Karnaugh	Ujian Formatif	• Materi 6 RANGKAIAN KOMBINASIONAL PENJUMLAH DAN PENGURANG	• Problem Based learning	• MATERI 6: RANGKAIAN KOMBINASIONAL PENJUMLAH DAN PENGURANG[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
8-2	CLO 3	• [CLO 3-3.2] Mampu mensintesis rangkaian digital pewaktu dan jam waktu nyata menggunakan Verilog di papan pengembangan DE10-Lite	• Kemampuan simulasi mux dan demux menggunakan aplikasi	Praktikum	• MODUL 8: IMPLEMENTASI RANGKAIAN DIGITAL PENCACAH DI FPGA MENGGUNAKAN VERILOG-HDL	• Problem Based learning	• MODUL 8: IMPLEMENTASI RANGKAIAN DIGITAL PENCACAH DI FPGA MENGGUNAKAN VERILOG-HDL[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
8-1	CLO 3	• [CLO 3-3.1] Mampu merancang rangkaian digital kombinasional dan penyederhanaannya	• Kemampuan membuat rangkaian aritmetika pengurangan biner dan BCD	Ujian Formatif	• Materi 8 UJIAN KOMPETENSI II (RANGKAIAN DIGITAL KOMBINASIONAL DAN PENYEDERHANAANNYA)	• Blended Learning	• UJIAN KOMPETENSI II (RANGKAIAN DIGITAL KOMBINASIONAL DAN PENYEDERHANAANNYA) [2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
9-2	CLO 3	• [CLO 3-3.4] Mampu mensintesis rangkaian digital pengancing, flip-flop dan register di papan pengembangan DE10-Lite menggunakan bahasa Verilog	• Kemampuan simulasi rangkaian encoder dan decoder menggunakan aplikasi	Praktikum	• MODUL 9: IMPLEMENTASI RANGKAIAN DIGITAL PEWAKTU DAN JAM WAKTU NYATA DI FPGA MENGGUNAKAN VERILOG-HDL	• Problem Based learning	• MODUL 9: IMPLEMENTASI RANGKAIAN DIGITAL PEWAKTU DAN JAM WAKTU NYATA DI FPGA MENGGUNAKAN VERILOG-HDL[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
9-1	CLO 3	• [CLO 3-3.3] Mampu merancang rangkaian flip-flop dan pendetak	• Kemampuan membuat rangkaian aritmetika pengurangan biner dan BCD	Ujian Formatif	• Materi 7 RANGKAIAN FLIP-FLOP DAN PENDETAK	• Blended Learning	• MATERI 7: RANGKAIAN FLIP-FLOP DAN PENDETAK[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
10-2	CLO 3	• [CLO 3-3.4] Mampu mensintesis rangkaian digital pengancing, flip-flop dan register di papan pengembangan DE10-Lite menggunakan bahasa Verilog	• Kemampuan simulasi rangkaian BCD to 7 segment menggunakan aplikasi	Praktikum	• MODUL 10: RANGKAIAN REGISTER	• Problem Based learning	• MODUL 10: RANGKAIAN REGISTER[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
10-1	CLO 3	• [CLO 3-3.3] Mampu merancang rangkaian flip-flop dan pendetak	• Kemampuan menampilkan hasil pengolahan input biner ke tampilan digital	Ujian Formatif	• Materi 8 RANGKAIAN DIGITAL MESIN KEADAAN BERHINGGA (FINITE STATE MACHINE)	• Blended Learning	• MATERI 8: RANGKAIAN DIGITAL MESIN KEADAAN BERHINGGA (FINITE STATE MACHINE)[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
11-2	CLO 3	• [CLO 3-3.6] Mampu mensintesis rangkaian digital pencacah di papan pengembangan DE10-Lite menggunakan bahasa Verilog	• Kemampuan simulasi counter dan register menggunakan aplikasi	Praktikum	• MODUL 10: SIMULASI COUNTER DAN REGISTER	• Problem Based learning	• MODUL 11: IMPLEMENTASI RANGKAIAN DIGITAL PENJUMLAH, PENGURANG DAN PENGALI DI FPGA MENGGUNAKAN VERILOG-HDL[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
11-1	CLO 3	• [CLO 3-3.5] Mampu merancang rangkaian register	• Kemampuan membuat rangkaian pemroses digital Kemampuan menampilkan hasil pengolahan input biner ke tampilan digital Kemampuan membuat rangkaian aritmetika pengurangan biner dan BCD	Ujian Formatif	• Materi 9 RANGKAIAN PENCACAH (COUNTER)	• Blended Learning	• MATERI 9: RANGKAIAN PENCACAH (COUNTER)[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB-CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
12-2	CLO 3	• [CLO 3-3.8] Mampu mensintesis rangkaian digital blok memori di papan pengembangan DE10-Lite	• Kemampuan simulasi rangkaian encoder dan decoder (perancangan berbasis kode) menggunakan aplikasi	Praktikum	• Modul 12: IMPLEMENTASI RANGKAIAN DIGITAL MESIN KEADAAN BERHINGGA (FINITE STATE MACHINE) DI FPGA MENGGUNAKAN VERILOG-HDL	• Problem Based learning	• MODUL 12: IMPLEMENTASI RANGKAIAN DIGITAL MESIN KEADAAN BERHINGGA (FINITE STATE MACHINE) DI FPGA MENGGUNAKAN VERILOG-HDLKODE][3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
12-1	CLO 3	• [CLO 3-3.7] Mampu merancang rangkaian pencacah (Counter)	• Kemampuan membaca state diagram dan menguasai rangkaian FlipFlop dasar	Ujian Formatif	• Materi 10 RANGKAIAN REGISTER	• Blended Learning	• MATERI 10: RANGKAIAN REGISTER[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
13-1	CLO 3	• [CLO 3-3.8] Mampu mensintesis rangkaian digital blok memori di papan pengembangan DE10-Lite	• Kemampuan merancang rangkaian sekuensial berbasis Flip-Flop dan pewaktu	Ujian Formatif	• UJIAN KOMPETENSI III (RANGKAIAN SEKUENSIAL)	• Blended Learning	• UJIAN KOMPETENSI III (RANGKAIAN SEKUENSIAL) [2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
13-2	CLO 3	• [CLO 3-3.9] Mampu merancang rangkaian digital mesin keadaan berhingga (Finite State Machine)	• Kemampuan simulasi counter dan register (perancangan berbasis kode) menggunakan aplikasi	Praktikum	• MODUL 13: IMPLEMENTASI RANGKAIAN BLOK MEMORI DI FPGA MENGGUNAKAN VERILOG-HDL	• Problem Based learning	• MODUL 13: IMPLEMENTASI RANGKAIAN BLOK MEMORI DI FPGA MENGGUNAKAN VERILOG-HDL[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
14-2	CLO 3	• [CLO 3-3.12] Mampu mengimplementasikan rangkaian softcore processor NIOS II di papan pengembangan DE10-Lite	• Mampu mengimplementasikan NIOS II	Praktikum	• MODUL 14: IMPLEMENTASI RANGKAIAN SOFTCORE PROCESSOR NIOS II DI FPGA	• Project Based Learning	• MODUL 14: IMPLEMENTASI RANGKAIAN SOFTCORE PROCESSOR NIOS II DI FPGA[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
14-1	CLO 3	• [CLO 3-3.10] Mampu mensintesis rangkaian digital mesin keadaan berhingga (Finite State Machine) di papan pengembangan DE10-Lite menggunakan bahasa Verilog	• Kemampuan merancang rangkaian pencacah dan register	Ujian Formatif	• Materi 11 PROSESOR SEDERHANA (ALU 4-BIT)	• Blended Learning	• MATERI 11: PROSESOR SEDERHANA (ALU 4-BIT)[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
15-2	CLO 3	• [CLO 3-3.14] Mampu mengimplementasikan mesin permainan sederhana menggunakan papan pengembangan DE10-Lite	• Memahami mesin permainan berbasis prosesor	Praktikum	• MODUL 15: IMPLEMENTASI MESIN PERMAINAN MENGGUNAKAN FPGA	• Project Based Learning	• MODUL 15: IMPLEMENTASI MESIN PERMAINAN MENGGUNAKAN FPGA[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
15-1	CLO 3	• [CLO 3-3.13] Mampu memahami rancangan prosesor sederhana (ALU 4-Bit)	• memahami rancangan prosesor	Tugas 1	• Materi 12 IMPLEMENTASI ALGORITMA	• Blended Learning	• Materi 12: IMPLEMENTASI ALGORITMA[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
16-1	CLO 3	• [CLO 3-3.15] Mampu memahami rangkaian digital untuk komunikasi serial (UART dan I2C)	• Memahami rangkain digital komunikasi	Tugas 3, Tugas 2	• Materi 13 KOMUNIKASI SERIAL	• Blended Learning	• MATERI 13 KOMUNIKASI SERIAL[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital kombinasional dan sekuensial di FPGA								
16-2	CLO 3	• [CLO 3-3.15] Mampu memahami rangkaian digital untuk komunikasi serial (UART dan I2C)	• Memahami implementasi blok komunikasi data	Presentasi Tugas 3, Praktikum	• MODUL 16: IMPLEMENTASI RANGKAIAN PEMBACA SENSOR DAN KOMUNIKASI DATA NIRKABEL MENGGUNAKAN FPGA	• Project Based Learning	• MODUL 16: IMPLEMENTASI RANGKAIAN PEMBACA SENSOR DAN KOMUNIKASI DATA NIRKABEL MENGGUNAKAN FPGA[3X50 Menit]	