

BERKAS PENYUSUNAN
RENCANA PEMBELAJARAN
SEMESTER (RPS)

TELKOM



FAKULTAS ILMU TERAPAN

Program Studi D3 Teknologi Telekomunikasi

Matakuliah	:	SISTEM DIGITAL
Kode Mata Kuliah	:	VTI1H3
SKS	:	3 SKS
Semester	:	2
Tahun Akademik	:	2022/2023

TELKOM



RENCANA PEMBELAJARAN SEMESTER
PROGRAM STUDI D3 Teknologi Telekomunikasi
FAKULTAS ILMU TERAPAN – TELKOM UNIVERSITY

MATAKULIAH	KODE	RUMPUN MK	BOBOT		SEMESTER	VERSION
SISTEM DIGITAL	VTI1H3	-	T= -	P= -	Genap	2023-02-07 11:20:50
OTORITAS	PENGEMBANG RPS		KETUA KELOMPOK KEAHLIAN			Ka PRODI
	Denny Darlis S.Si., M.T.					
Deskripsi Mata Kuliah	Mata Kuliah Sistem Digital adalah mata kuliah yang diselenggarakan Program Studi DIII Teknologi Telekomunikasi dalam memberikan wawasan dan kemampuan dasar mengenai sistem dan elektronika digital sebagai bekal pemahaman tentang perangkat transmisi dan jaringan telekomunikasi broadband. Pada mata kuliah ini mahasiswa akan mempelajari konsep dasar sistem, teknik dan rangkaian digital, Sistem bilangan dan kode biner, Aljabar Boolean dan penyederhanaan rangkaian digital, perancangan dan implementasi rangkaian kombinasional serta perancangan dan implementasi rangkaian sekuensial.					
Tipe Merdeka Belajar						
Deskripsi Merdeka Belajar						
Capaian Pembelajaran Mata Kuliah	Program Learning Outcomes (PLO) / CPL PRODI					
	PLO 3	Menguasai konsep teoritis bidang pengetahuan dan terkait teknologi informasi dan telekomunikasi broadband secara umum.				
	PLO 7	Mampu menerapkan keilmuan dibidang elektronika dengan berbagai metode untuk memudahkan penyelesaian pekerjaan.				
	Course Learning Outcomese (CLO)					PLO yang di dukung
	CLO 1	Mahasiswa mampu mendeskripsikan konsep dasar sinyal, sistem, elektronika dan teknik digital				PLO 3
	CLO 2	Mahasiswa memahami konsep sistem bilangan dan kode digital, gerbang logika dasar digital dan universal				PLO 3
	CLO 3	Mahasiswa mampu mensintesis dan menganalisis rangkaian digital				PLO 7
	CLO 4	Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional				PLO 7
	CLO 5	Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial				PLO 7

Tabel Penilaian	No	Nama Assessmenttools	CLO yang dinilai	Bentuk komponen	Tipe Evaluasi	Total Bobot Per Bentuk Assement
	1	CLO4.Praktikum	CLO 4	Praktikum	Aktivitas Partisipatif	25%
	2	CLO1.Uji Kompetensi 1	CLO 1	Ujikom 1	Kognitif atau Pengetahuan	15%
	3	CLO2.Uji Kompetensi 2	CLO 2	Ujikom 2	Kognitif atau Pengetahuan	20%
	4	CLO3.Uji Kompetensi 3	CLO 3	Ujikom 3	Aktivitas Partisipatif	25%
	5	CLO5.Uji Kompetensi Praktikum	CLO 5	Ujikom Praktek	Hasil Project	15%
	TOTAL				0%	100%
Pustaka	Utama					
	Sistem Digital					
	Diktat Kuliah VT11H3 - Sistem Digital edisi 2021, D3 Teknologi Telekomunikasi, Fakultas Ilmu Terapan, Universitas Telkom					
	Modul Praktikum VT11H3 - Sistem Digital, D3 Teknologi Telekomunikasi - Universitas Telkom					
	Pendukung					
	Digital System Design with FPGA Implementation Using Verilog and VHDL					
	Digital Electronics and Design with VHDL					
Media Pembelajaran	de10-lite-user-manual					
	Software					
	Slide Pembelajaran Sistem Digital					
	Quartus Prime 18.0- Web Edition					
	ModelSim for Altera					
	Hardware					
	DE10-Lite Intel FPGA					
DE10-Nano Kit						
Sertifikat	No	Nama Sertifikat		Deskripsi	Link	
Team Teaching	Yuli Sun Hariyani S.T., M.T., Sugondo Hadiyoso S.T., M.T, Denny Darlis S.Si., M.T.					
Matakuliah Syarat						

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sistem, teknik, dan rangkaian digital								
1-1	CLO 1	• [CLO 1-1.1] Mampu menjelaskan terminologi sistem, teknik dan rangkaian digital	• Ketepatan penjelasan terminologi yang digunakan	CLO1.Uji Kompetensi 1	• PENGENALAN LOGIKA DAN SISTEM DIGITAL	• Blended Learning	• Materi 1 PENGENALAN LOGIKA DAN SISTEM DIGITAL[2X50 Menit]	
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sistem, teknik, dan rangkaian digital								
1-2	CLO 1	• [CLO 1-1.2] Mampu memahami aturan Praktikum Teknik Digital	• Kehadiran pada Praktikum Modul 0	CLO4.Praktikum	• PENGENALAN PRAKTIKUM SISTEM DIGITAL (RUNNING MODUL)	• Blended Learning	• Praktikum Modul 0 PENGENALAN PRAKTIKUM SISTEM DIGITAL (RUNNING MODUL)[3X50 Menit]	
CLO 2 CLO Mahasiswa memahami sistem bilangan biner dan konversinya serta mengenal kode-kode biner								
2-1	CLO 2	• [CLO 2-2.1] Mampu memahami basis bilangan biner, octal, heksadesimal, dan konversinya ke decimal serta kode biner	• Ketepatan konversi antar basis bilangan dan membaca kode biner	CLO1.Uji Kompetensi 1	• SISTEM BILANGAN DAN KODE BINER	• Blended Learning	• Materi 2 SISTEM BILANGAN DAN KODE BINER[2X50 Menit]	
CLO 2 CLO Mahasiswa memahami sistem bilangan biner dan konversinya serta mengenal kode-kode biner								
2-2	CLO 2	• [CLO 2-2.2] Mampu memasang piranti lunak pengkodean FPGA di masing-masing PC	• Masing-masing PC telah terpasang aplikasi pendukung	CLO4.Praktikum	• INSTALASI SOFTWARE PENDUKUNG	• Blended Learning	• Praktikum MODUL 1: INSTALASI SOFTWARE PENDUKUNG[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
3-1	CLO 3	• [CLO 3-3.1] Mampu mengeni gerbang logika digital dan universal	• Ketepatan evaluasi tabel kebenaran dan menggambar simbol universal	CLO1.Uji Kompetensi 1	• PENGENALAN GERBANG LOGIKA DASAR DAN UNIVERSAL	• Blended Learning • Problem Based learning	• Materi 3 PENGENALAN GERBANG LOGIKA DASAR DAN UNIVERSAL[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
3-2	CLO 3	• [CLO 3-3.2] Mampu melakukan simulasi digital berbasis skematik di piranti lunak pengkodean FPGA	• Ketepatan memanfaatkan Gerbang Logika, IC jenis TTL dan CMOS menggunakan aplikasi	CLO4.Praktikum	• PENGENALAN IC DIGITAL KELUARGA TTL DAN CMOS	• Problem Based learning	• MODUL 2: PENGENALAN IC DIGITAL KELUARGA TTL DAN CMOS[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
4-2	CLO 3	• [CLO 3-3.2] Mampu melakukan simulasi digital berbasis skematik di piranti lunak pengkodean FPGA	• Kemampuan simulasi digital menggunakan Modelsim	CLO4.Praktikum	• SIMULASI DIGITAL MENGGUNAKAN MODELSIM	• Problem Based learning	• MODUL 3: SIMULASI DIGITAL MENGGUNAKAN MODELSIM[3X50 Menit]	
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sistem, teknik, dan rangkaian digital CLO 2 CLO Mahasiswa memahami sistem bilangan biner dan konversinya serta mengenal kode-kode biner								
4-1	CLO 1, CLO 2	• [CLO 1-1.1] Mampu menjelaskan terminologi sistem, teknik dan rangkaian digital • [CLO 2-2.1] Mampu memahami basis bilangan biner, octal, heksadesimal, dan konversinya ke decimal serta kode biner	• Ketepatan konversi antar basis bilangan dan membaca kode biner • Ketepatan penjelasan terminologi yang digunakan	CLO1.Uji Kompetensi 1, CLO2.Uji Kompetensi 2	• UJI KOMPETENSI I (PENGENALAN SISTEM DIGITAL)	• Problem Based learning	• Materi 4 UJI KOMPETENSI I (PENGENALAN SISTEM DIGITAL)[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
5-2	CLO 3	• [CLO 3-3.4] Mampu melakukan simulasi digital berbasis skematik di piranti lunak pengkodean FPGA	• Kemampuan simulasi digital menggunakan aplikasi Quartus II	CLO4.Praktikum	• SIMULASI DIGITAL MENGGUNAKAN QUARTUS II (PERANCANGAN BERBASIS SKEMATIK)	• Problem Based learning	• MODUL 4: SIMULASI DIGITAL MENGGUNAKAN QUARTUS II (PERANCANGAN BERBASIS SKEMATIK)[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
5-1	CLO 3	• [CLO 3-3.3] Mampu mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran dan diagram pewaktuan	• Kemampuan dalam mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran, dan diagram pewaktuan	CLO3.Uji Kompetensi 3	• ALJABAR BOOLEAN DAN RANGKAIAN LOGIKA DIGITAL	• Blended Learning	• Materi 5 ALJABAR BOOLEAN DAN RANGKAIAN LOGIKA DIGITAL[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
6-2	CLO 3	• [CLO 3-3.6] Mampu membangun gerbang dasar dan menguji rangkaian sederhana di FPGA	• Kemampuan simulasi rangkaian digital sederhana menggunakan aplikasi	CLO4.Praktikum	• IMPLEMENTASI RANGKAIAN DIGITAL SEDERHANA DI FPGA (VERILOG)	• Problem Based learning	• MODUL 5: SIMULASI RANGKAIAN DIGITAL SEDERHANA DI QUARTUS II (PERANCANGAN BERBASIS SKEMATIK)[3X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
6-1	CLO 3	• [CLO 3-3.5] Mampu menggunakan Peta Karnaugh untuk menyederhanakan rangkaian digital	• Kemampuan menyederhanakan rangkaian digital menggunakan Peta Karnaugh	CLO3.Uji Kompetensi 3	• TEKNIK PENYEDERHANAAN RANGKAIAN DIGITAL (K-MAP)	• Blended Learning	• Materi 6 TEKNIK PENYEDERHANAAN RANGKAIAN DIGITAL (K-MAP)[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
7-1	CLO 3	• [CLO 3-3.3] Mampu mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran dan diagram pewaktuan • [CLO 3-3.5] Mampu menggunakan Peta Karnaugh untuk menyederhanakan rangkaian digital	• Kemampuan menyederhanakan rangkaian digital menggunakan Peta Karnaugh • Kemampuan dalam mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran, dan diagram pewaktuan	CLO2.Uji Kompetensi 2	• UJIAN KOMPETENSI II (RANGKAIAN DIGITAL DAN PENYEDERHANAANNYA)	• Problem Based learning	• Materi 7 UJIAN KOMPETENSI II (RANGKAIAN DIGITAL DAN PENYEDERHANAANNYA)[2X50 Menit]	
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
7-2	CLO 3	• [CLO 3-3.6] Mampu membangun gerbang dasar dan menguji rangkaian sederhana di FPGA	• Kemampuan simulasi rangkaian penjumlah dan pengurang 4 bit	CLO4.Praktikum	• PENGENALAN HIGH DESCRIPTION LANGUANGE (HDL)	• Problem Based learning	• MODUL 6: PENGENALAN HIGH DESCRIPTION LANGUANGE (HDL)[3X50 Menit]	
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
8-2	CLO 4	• [CLO 4-4.2] Mampu mengimplementasikan rangkaian penjumlah dan pengurang 4-bit menggunakan FPGA	• Kemampuan simulasi mux dan demux menggunakan aplikasi	CLO4.Praktikum	• RANGKAIAN PENJUMLAH DAN PENGURANG 4-BIT (VERILOG)	• Problem Based learning	• MODUL 7: RANGKAIAN PENJUMLAH DAN PENGURANG 4-BIT (VERILOG) [3X50 Menit]	
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
8-1	CLO 4	• [CLO 4-4.1] Mampu menguasai perancangan rangkaian aritmetika biner dan BCD	• Kemampuan membuat rangkaian aritmetika pengurangan biner dan BCD	CLO5.Uji Kompetensi Praktikum	• RANGKAIAN KOMBINASIONAL PENJUMLAH DAN PENGURANG	• Blended Learning	• Materi 8 RANGKAIAN KOMBINASIONAL PENJUMLAH DAN PENGURANG[2X50 Menit]	
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
9-2	CLO 4	• [CLO 4-4.4] Mampu mengimplementasikan rangkaian pemroses digital menggunakan FPGA	• Kemampuan simulasi rangkaian encoder dan decoder menggunakan aplikasi	CLO4.Praktikum	• RANGKAIAN MULTIPLEXER DAN DEMULTIPLEXER (VERILOG)	• Problem Based learning	• MODUL 8: RANGKAIAN MULTIPLEXER DAN DEMULTIPLEXER (VERILOG)[3X50 Menit]	
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
9-1	CLO 4	• [CLO 4-1] Mampu menguasai perancangan rangkaian aritmetika biner dan BCD	• Mahasiswa mampu merancang dan mensintesis rangkaian penjumlah dan pengurang	CLO5.Uji Kompetensi Praktikum	• RANGKAIAN KOMBINASIONAL MULTIPLEKSER DAN DEMULTIPLEKSER	• Blended Learning	• Materi 9 RANGKAIAN KOMBINASIONAL MULTIPLEKSER DAN DEMULTIPLEKSER[2X50 Menit]	
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
10-1	CLO 4	• [CLO 4-4.3] Mampu menguasai perancangan rangkaian pemroses digital	• Kemampuan membuat rangkaian pemroses digital	CLO5.Uji Kompetensi Praktikum	• RANGKAIAN KOMBINASIONAL ENCODER DAN DECODER TAMPILAN DIGITAL	• Blended Learning	• Materi 10 RANGKAIAN KOMBINASIONAL ENCODER DAN DECODER TAMPILAN DIGITAL[2X50 Menit]	
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
10-2	CLO 4	• [CLO 4-4.6] Mampu mengimplementasikan rangkaian pengendali tampilan digital menggunakan FPGA	• Kemampuan simulasi rangkaian BCD to 7 segment menggunakan aplikasi	CLO4.Praktikum	• RANGKAIAN ENCODER DAN DECODER (VERILOG)	• Problem Based learning	• MODUL 9: RANGKAIAN ENCODER DAN DECODER (VERILOG)[3X50 Menit]	
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
11-2	CLO 4	• [CLO 4-4.6] Mampu mengimplementasikan rangkaian pengendali tampilan digital menggunakan FPGA	• Kemampuan simulasi counter dan register menggunakan aplikasi	CLO4.Praktikum	• RANGKAIAN BCD-TO-7 SEGMENT (VERILOG)	• Problem Based learning	• MODUL 10: RANGKAIAN BCD-TO-7 SEGMENT (VERILOG)[3X50 Menit]	
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
11-1	CLO 4	• [CLO 4-4.5] Mampu menampilkan hasil pengolahan input biner ke tampilan digital	• Kemampuan menampilkan hasil pengolahan input biner ke tampilan digital	CLO5.Uji Kompetensi Praktikum	• RANGKAIAN KOMBINASIONAL ENCODER DAN DECODER TAMPILAN DIGITAL	• Blended Learning	• Materi 11 RANGKAIAN KOMBINASIONAL ENCODER DAN DECODER TAMPILAN DIGITAL[2X50 Menit]	
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
12-1	CLO 4	• [CLO 4-4.3] Mampu menguasai perancangan rangkaian pemroses digital	• Kemampuan membuat rangkaian pemroses digital	CLO3.Uji Kompetensi 3	• UJIAN KOMPETENSI III (RANGKAIAN KOMBINASIONAL)	• Problem Based learning	• Materi 12 UJIAN KOMPETENSI III (RANGKAIAN KOMBINASIONAL)[2X50 Menit]	
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
12-2	CLO 5	• [CLO 5-5.2] Mampu mengimplementasikan rangkaian flip-flop dan memori menggunakan FPA	• Kemampuan simulasi rangkaian encoder dan decoder (perancangan berbasis kode) menggunakan aplikasi	CLO4.Praktikum	• IMPLEMENTASI RANGKAIAN SEKUENSIAL SEDERHANA (SKEMATIK)	• Problem Based learning	• MODUL 11: IMPLEMENTASI RANGKAIAN SEKUENSIAL SEDERHANA (SKEMATIK)[3X50 Menit]	
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
13-2	CLO 5	• [CLO 5-5.4] Mampu mengimplementasikan rangkaian sekuensial berbasis flip-flop dan pewaktu di FPGA	• Kemampuan simulasi counter dan register (perancangan berbasis kode) menggunakan aplikasi	CLO4.Praktikum	• IMPLEMENTASI RANGKAIAN SEKUENSIAL (VERILOG)	• Project Based Learning	• MODUL 12: IMPLEMENTASI RANGKAIAN SEKUENSIAL (VERILOG)[3X50 Menit]	
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
13-1	CLO 5	• [CLO 5-5.1] Mampu memahami state diagram dan elemen memori dasar	• Kemampuan membaca state diagram dan menguasai rangkaian Flip-Flop dasar	CLO5.Uji Kompetensi Praktikum	• FLIP-FLOP, MEMORI DAN STATE DIAGRAM	• Blended Learning	• Materi 13 FLIP-FLOP, MEMORI DAN STATE DIAGRAM [2X50 Menit]	
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
14-1	CLO 5	• [CLO 5-5.3] Mampu merancang rangkaian sekuensial berbasis flip-flop dan pewaktu	• Kemampuan merancang rangkaian sekuensial berbasis Flip-Flop dan pewaktu	CLO5.Uji Kompetensi Praktikum	• COUNTER	• Blended Learning	• Materi 14 COUNTER[2X50 Menit]	
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
14-2	CLO 5	• [CLO 5-6] Mampu mengimplementasikan rangkaian pencacah dan register	• Mahasiswa mengimplementasikan rangkaian register dan counter menggunakan verilog	CLO5.Uji Kompetensi Praktikum	• MODUL 13: RANGKAIAN COUNTER (VERILOG)	• Project Based Learning	• MODUL 13: RANGKAIAN COUNTER (VERILOG)[3X50 Menit]	
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
15-1	CLO 5	• [CLO 5-5.5] Mampu merancang rangkaian pencacah dan register	• Kemampuan merancang rangkaian pencacah dan register	CLO5.Uji Kompetensi Praktikum	• REGISTER	• Blended Learning	• Materi 15 REGISTER[2X50 Menit]	
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
15-2	CLO 5	• [CLO 5-5.6] Mampu mengimplementasikan softcore prosesor di FPGA	1. Kemampuan membaca state diagram dan menguasai rangkaian Flip-Flop dasar 2. Kemampuan merancang rangkaian sekuensial berbasis Flip-Flop dan pewaktu 3. Kemampuan merancang rangkaian pencacah dan register	CLO5.Uji Kompetensi Praktikum	• IMPLEMENTASI RANGKAIAN REGISTER (VERILOG)	• Project Based Learning	• MODUL 14: IMPLEMENTASI REGISTER (VERILOG)[3X50 Menit]	
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
16-1	CLO 5	• [CLO 5-7] Implementasi rangkaian digital di FPGA	• Mahasiswa mempelajari prosedur dasar implementasi rangkaian sekuensial di FPGA	CLO5.Uji Kompetensi Praktikum	• IMPLEMENTASI RANGKAIAN DIGITAL DI FPGA	• Blended Learning	• Materi 16 IMPLEMENTASI RANGKAIAN DIGITAL DI FPGA[2X50 Menit]	
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
16-2	CLO 5	• [CLO 5-8] Uji Kompetensi Praktikum	• Mahasiswa mampu mengimplementasikan rangkaian sekuensial di FPGA	CLO5.Uji Kompetensi Praktikum	• MODUL 15: UJI KOMPETENSI IMPLEMENTASI SOFTCORE PROCESSOR NIOS II (IPCORE)	• Project Based Learning	• MODUL 15: UJI KOMPETENSI IMPLEMENTASI SOFTCORE PROCESSOR NIOS II (IPCORE)[3X50 Menit]	