# MODUL 6 SIMULASI RANGKAIAN PENJUMLAHAN DAN PENGURANGAN 4-BIT

# 6.1 Tujuan Praktikum Modul 6

Setelah mempraktekan topik ini, praktikan diharapkan dapat :

- 1. Dapat menggunakan Quartus 18 Prime Lite
- 2. Dapat memahami tipe data pada VHDL dan Verilog HDL
- 3. Dapat memahami konsep Adder dan mampu mengimplementasikannya dalam VHDL dan Verolog HDL

## 6.2 Dasar Teori Modul 6

## 6.2.1 Quartus 18 Prime Lite

Quartus 18 Prime Lite merupakan software untuk perancangan elemen logika untuk FPGA keluaran Altera. Dengan Quartus 18 Prime Lite, pengembang dapat melakukan analysis and synthesis untuk desain HDL, compiling desain, analisis diagram pewaktuan, pengetesan reaksi desain kepada beberapa stimulus yang berbeda, dan lain-lain. Quartus 18 Prime Lite dapat digunakan dengan Bahasa pemrograman VHDL atau Verilog HDL, dan dapat juga digunakan dengan pembuatan gerbang logika secara visual melalui diagram skematik.

# 6.2.2 Pin Plener

#### 6.2.2.1 Pin Plener Switch

Signal Name	FPGA Pin No.	Description	I/O Standard
SW0	PIN_C10	Slide Switch[0]	3.3-V LVTTL
SW1	PIN_C11	Slide Switch[1]	3.3-V LVTTL
SW2	PIN_D12	Slide Switch[2]	3.3-V LVTTL
SW3	PIN_C12	Slide Switch[3]	3.3-V LVTTL
SW4	PIN_A12	Slide Switch[4]	3.3-V LVTTL
SW5	PIN_B12	Slide Switch[5]	3.3-V LVTTL
SW6	PIN_A13	Slide Switch[6]	3.3-V LVTTL
SW7	PIN_A14	Slide Switch[7]	3.3-V LVTTL
SW8	PIN_B14	Slide Switch[8]	3.3-V LVTTL
SW9	PIN_F15	Slide Switch[9]	3.3-V LVTTL

Tabel 6.1 Pin plener switch

Signal Name	FPGA Pin No.	Description	I/O Standard
LEDR0	PIN_A8	LED [0]	3.3-V LVTTL
LEDR1	PIN_A9	LED [1]	3.3-V LVTTL
LEDR2	PIN_A10	LED [2]	3.3-V LVTTL
LEDR3	PIN_B10	LED [3]	3.3-V LVTTL
LEDR4	PIN_D13	LED [4]	3.3-V LVTTL
LEDR5	PIN_C13	LED [5]	3.3-V LVTTL
LEDR6	PIN_E14	LED [6]	3.3-V LVTTL
LEDR7	PIN_D14	LED [7]	3.3-V LVTTL
LEDR8	PIN_A11	LED [8]	3.3-V LVTTL
LEDR9	PIN_B11	LED [9]	3.3-V LVTTL

#### 6.2.2.2 Pin Plener LED

# Tabel 6.2 Pin plener LED

# 6.2.3 Adder

Penjumlah atau Adder adalah komponen elektronika digital yang dipakai untuk menjumlahkan dua buah angka dalam sistem bilangan biner. Dalam komputer dan mikroprosesor, Adder biasanya berada di bagian ALU (Arithmetic Logic Unit). Sistem bilangan yang dipakai dalam proses penjumlahan, selain bilangan biner, juga 2's complement untuk bilangan negatif, bilangan BCD (binary-coded decimal), dan excess-3. Jika sistem bilangan yang dipakai adalah 2's complement, maka proses operasi penjumlahan dan operasi pengurangan akan sangat mudah dilakukan.



#### 6.2.3.1 Half Adder

*Half Adder* adalah rangkaian elektronik yang bekerja melakukan perhitungan penjumlahan dari dua buah bilangan biner, yang masing-masing terdiri dari satu bit. Rangkaian ini memiliki dua input dan dua buah output, salah satu outputnya dipakai sebagai tempat nilai pindahan (carry) dan yang lain sebagai hasil dari penjumlahan (sum).





#### 6.2.3.2 Full Adder

Full Adder adalah rangkaian elektronik yang bekerja melakukan perhitungan penjumlahan sepenuhnya dari dua buah bilangan biner, yang masing-masing terdiri dari satu bit. Rangkaian ini memiliki tiga input dan dua buah output, salah satu input merupakan nilai dari pindahan penjumlahan (carry in). Kemudian sama seperti pada half adder salah satu outputnya dipakai sebagai tempat nilai pindahan (carry out) dan yang lain sebagai hasil dari penjumlahan (sum).





#### 6.2.4 Binary Adder-Subtractor

Binary Adder-Subtractor adalah salah satu yang mampu menambah dan mengurangi bilangan biner dalam satu sirkuit itu sendiri. Operasi yang dilakukan tergantung pada nilai biner yang dimiliki oleh sinyal kontrol. Ini adalah salah satu komponen dari ALU (Unit Logika Aritmatika). Sirkuit ini Membutuhkan pengetahuan prasyarat Gerbang Exor, Penambahan dan Pengurangan Biner, Penambah Lengkap. Mari kita pertimbangkan dua angka biner 4-bit A dan B sebagai input ke Sirkuit Digital untuk operasi dengan digit.





Jika nilai K (garis Kontrol) adalah 1, keluaran th dari B0 (exor) K = B0 ' (Komplemen B0). Dengan demikian operasi akan menjadi A + (B0 '). Sekarang pengurangan komplemen 2 untuk dua angka A dan B diberikan oleh A + B '. Ini menunjukkan bahwa ketika K = 1, operasi yang dilakukan pada empat angka bit adalah pengurangan.

Demikian pula jika Nilai K = 0, B0 (exor) K = B0. Operasi adalah A + B yang merupakan penambahan biner sederhana. Ini menunjukkan bahwa Ketika K = 0, operasi yang dilakukan pada empat angka bit adalah tambahan.

#### 6.3 Lembar Kegiatan Praktikum Modul 6

- 6.3.1 Alat dan bahan
- 1. Laptop
- 2. Software Quartus 18 Prime Lite

# 6.3.2 Langkah Praktikum Modul 6

#### 1. Buka software Quartus II di laptop dan klik New Project Wizard



# 2. Klik Next

S Quartus	Prime Lite Edition			- 0	×
<u>F</u> ile <u>E</u> dit	View Project Assignments Proc	essing <u>T</u> ools <u>W</u> indow <u>H</u> elp		Search altera.com	n 🌖
		New Project Witard X	IR Catalog		1 6 x
Project Navij	gator A Hierarchy	Introduction	Davice Family	Cuclone IV/E	
A Compil:	ation Hierarchy		Device Parinty	Cyclonervic	
		The New Project Wizard helps you create a new project and preliminary project settings, including the following:	•		* =
		Project name and directory	Y 🥳 Installe	d IP	
		Project files and libraries	Y Project	Directory	
		Target device family and device	No	Selection Available	
		EDA tool settings	+ Library	ic Euroctions	
		You can change the settings for an existing project and specify additional project-wide settings with the Settings command (Assignments			
		menuj, rou can use ure various pages or the sectings dialog dox to add run cubhaity to the project.	> Inte	rface Protocols	
			> Mer	nory Interfaces and Cr	ontrollers
			> Pro	cessors and Peripheral	ls
Tasks	Compilation 🔻 🗏 🖪 🗶		> Unit	versity Program	
	Task ^		Search	for Partner IP	
~	Compile Design				
	> 🕨 Analysis & Synthesis				
	> Fitter (Place & Route)				
	> 🕨 Assembler (Generate programm				
	> 🕨 Timing Analysis				
<	· · · · · · · · · · · · · · · · · · ·		+ Add		
× 5 All	🔕 🛕 🔺 👻 👻	Don't show me this introduction again			
≡ Type	ID Message	< Back Next> Finish Cancel Help			
< Ssag					>
≚ Syste	Processing				
				0%	00:00:00

3. Tulis namamodul pada bagian **directory** agar **file project** dapat terkumpul pada 1 **folder** utama. Dengan nama yang sama pada **directory**, tulis juga pada bagian nama **project** dan nama **top-level design entity** (**top-level design entity** bersifat **case sensitive** dan harus persis dengan nama **entity** pada **file desain**)., lalu klik **Next** 

🕥 Quartus Prime Lite Edition	– 0 ×
Eile Edit View Project Assignments Processing Iools Window Help	Search altera.com
Project Navigator A Hierarchy  Q 0.0 # ×	IP Catalog
Compilation Hierarchy Directory, Name, Top-Level Entity	Device Family Cyclone IV E
What is the working directory for this project?	<ul> <li>× =</li> </ul>
C\intelFPGA_lite\18.1\namamodul	Y 😫 Installed IP
What is the name of this project?	Y Project Directory
namamodul	No Selection Available
What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.	> Basic Functions
namamodul	> DSP
Ise Friding Project Settings	Memory Interfaces and Controllers
ose chising moject secongo	Processors and Peripherals
Tasks Compliation T = 9.5 ×	> University Program
	Search for Partner IP
I ask	
> Analysis & Synthesis	
> Fitter (Place & Route)	
>  Assembler (Generate programn	
> 🕨 Timing Analysis	
	+ Add
Type         ID         Message	
	>
System Processing	
	0% 00:00:00

4. Pilih Empty Project, kemudian klik Next lagi

🕥 Quartus Prime Lite Edition		- 0 ×
<u>Eile Edit View Project Assignments Pro</u>	cessing <u>T</u> ools <u>W</u> indow <u>H</u> elp	Search altera.com
D to E + D to C		
Project Navigator A Hierarchy 🔫 🔍 📮 🗗 🛪		IP Catalog 및 문 ×
A Compilation Hierarchy	Project Type	Device Family Cyclone IV E
	Select the type of project to create.	<ul> <li>× =.</li> </ul>
		Y 🔅 Installed IP
	Empty project	Y Project Directory
	Create new project by specifying project files and libraries, target device family and device, and EDA tool settings.	No Selection Available
	O Project template	✓ Library
	Create a project from an existing design template. You can choose from design templates installed with the Quartus Prime software, or	> Basic Functions
	download design templates from the <u>Design Store</u> .	> DSP
		> Interface Protocols
		<ul> <li>Memory Interfaces and Controllers</li> <li>December and Decision and Decision</li> </ul>
Taska Completion <b>x</b> = <b>1 A</b> x		<ul> <li>Processors and Peripherals</li> <li>University Program</li> </ul>
		Search for Partner IP
Task		
✓ ► Compile Design		
> Nalysis & Synthesis		
> Fitter (Place & Route)		
> Assembler (Generate programm		
> Fiming Analysis		
< >		+ Add
🛪 🖪 🔕 🛦 🔺 🔻 💎 < <filter>&gt;</filter>		
Type ID Message		
	< Back Next > Finish Cancel Help	
se <		
System Processing		
		0% 00:00:00

5. Setelah itu, klik Next lagi

SQ Quartus Prime Lite Edition Eile Edit View Project Assignments Proc	essing Iools <u>Window</u> Help			– Ö X
Project Navigator Hierarchy   Compilation Hierarchy	New Project Ward Add Files	×	IP Catalog Device Family	Cyclone IV E
Tasks     Complation     Image: Task       Y     Completesign     Y       > >     Analysis & Synthesis     >       > >     Fitter Filez & Route)     >       > >     >>     Fitter Genzale program       > >     >>     Timing Analysis &	Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project. Note: you can always add design files to the project late: File name: File name: Type: Library: Design Entry/Synthesis Tool: HDL Version Up: Down Projection Pr	n dies	Search for	IP Virectory stection Available Functions face Protocols ogn interfaces and Controllers sessors and Perpherals essity Program or Partner IP
x     x       x     x	Specify the path names of any non-default libraries. User Libraries.	lp	+ Add	>
System Processing				0% 00:00:00

6. Lalu ganti **Family** ke **MAX 10 (DA/DF/DC/SA/SF/SC)**, kemudian ketikkan di Nama Filter **10M50DAF484C7G**, lalu klik Available Device yang tersedia, kemudian klik Next

Quartus Prime Lite Edition     Eile Edit View Project Assignments Proce	tssing Iools <u>W</u> indow <u>H</u> elp		- @ × Search altera.com
Project Navigator A Hierarchy	🕥 New Project Wizard	×	IP Catalog
Compilation Hierarchy	Family, Device & Board Settings Device Board		Device Family Cyclone IV E
	Select the family and device you want to target for compilation. You can install additional device support with the Install Devices con To determine the version of the Quartus Prime software in which yo	mmand on the Tools menu. pur target device is supported, refer to the <u>Device Support List</u> webpage.	<ul> <li>Project Directory</li> <li>No Selection Available</li> <li>Library</li> </ul>
	Device family Family: MAX 10 (DA/DF/DC/SA/SC)	Show in 'Available devices' list Package Any  Pin count Any	Basic Functions     DSP     interface Protocols     Memory Interfaces and Controllers
Tasks Compilation ▼ ≡ 및 & × Task ^	Target device Auto device selected by the Fitter C Auto device selected by the Fitter	Core speed grade: Any  Name filter: 10MS00AF484C7G	Processors and Peripherals     University Program     Search for Partner IP
Compile Design     Analysis & Synthesis     Fitter (Place & Route)	Other: n/a Available devices:	Show advanced devices	
Assembler (Generate programm      De Traine texturing	Name Core Voltage LEs Total I/	Os GPIOs Memory Bits Embedded multiplier 9-b	, ,
S All S & A S C C C C C C C C C C C C C C C C C C	10M50DAF484C7G 1.2V 49760 360	360 1677312 288 >	+ Add
Type ID Message 253020 Default device 10M0		<back next=""> Finish Cancel Help</back>	, ,
System (1) Processing			0% 00:00:00

7. Kemudian klik Next

S Quartus Prime Lite Edition Elle Edit View Project Assignments Proce	ssing <u>T</u> ools <u>W</u> indo	w <u>H</u> elp					- 0 ×
	New Project Wizard			65 <b>- V</b>		×	
Project Navigator 🔥 Hierarchy 🔻 🔍 🖳 🗗 🗙	EDA Tool Setti	ngs				IP Catalog	u Culturation
A Compilation Hierarchy	2DA TOOLSCIII					Device Famil	y Cyclone IV E
	Specify the other EDA	tools used with the Q	uartus Prime software	to devel	op your project.		× =
	EDA tools:					Y 🚅 Insta	Iled IP
	Tool Type	Tool Name	Format(s)		Run Tool Automatically	* Proje	o Selection Available
	Design Entry/Synth	<none></none>	None>		Run this tool automatically to synthesize the current design	✓ Libra	wy
	Simulation	<none></none>	▼ <none></none>		Run gate-level simulation automatically after compilation	> e	asic Functions
	Board-Level	Timing	Format(a)       Run Tool Automatically       * * * * * * * * * * * * * * * * * * *	•		> c	/SP
		Symbol		iterface Protocols			
		Signal Integrity	<none></none>	•		> N	Iemory Interfaces and Controllers
Tarke Completion <b>v</b> = <b>1.7</b> ×		Boundary Scan	<none></none>			> L	Iniversity Program
Task ^						Sear	:h for Partner IP
>  Analysis & Synthesis							
> Fitter (Place & Route)							
> 🕨 Assembler (Generate programm							
> 🕨 Timing Analysis							
< · · · · · · · · · · · · · · · · · · ·						+ Add	
× All O 🖄 🛦 🔨 💎 < <filter>&gt;</filter>							
Type ID Message 0 253020 Default device 10M0				<	Back Next > Finish Cancel Help		
200 <							>
System (1) Processing							05 00:00:0

# 8. Lalu klik Finish

Quartus Prime Lite Edition File Edit View Project Assignments Proc	cessing Tools Window Help		- O X
	S New Project Wizard	X	
Project Navigator A Hierarchy V 4 4 6 ×	Summary		Device Family Cyclone IV E
	When you click Finish, the project will be created with the following Project directory:	settings: C:\intelFPGA_lite\18.1\namamodul	<ul> <li>× installed IP</li> <li>× Project Directory</li> </ul>
	Project name: Top-level design entity: Number of files added:	namamodul namamodul 0	No Selection Available Library
	Number of user libraries added: Device assignments:	0	DSP     Interface Protocols
Tasks Compilation • = • 5 ×	Design template. Family name: Device:	MAX 10 (DA/DF/DC/SA/SC) 10M50DAF484C7G	Memory Interfaces and Controllers     Processors and Peripherals     University Program
Task ^	Board: EDA tools:	n/a	Search for Partner IP
Analysis & Synthesis     Fitter (Place & Route)     Assembler (Generate program)	Design entry/synthesis: Simulation: Timing analysis:	<vone>(<vone>) <vone>(<vone>) 0</vone></vone></vone></vone>	
Timing Analysis	Operating conditions: Core voltage:	1.2V	+ Add
× 5 All S ≳ ▲ ∧ ▼ < <filter>&gt; 7 Type ID Message</filter>	Junction temperature range:	0-85 °C	
253020 Default device 10M		< Back Next > Finish Cancel Help	
System (1) Processing			0% 00.00.00

9. Setelah itu akan muncul tampilan awal dari **Project Quartus II** seperti gambar dibawah ini.



10. Kemudian buat file baru dengan cara klik File  $\rightarrow$  New.

<u>F</u> ile	<u>E</u> dit	<u>V</u> iew	<u>P</u> roject	<u>A</u> ssignments	P <u>r</u> oc
	<u>N</u> ew			Ctrl+N	
a	Open			Ctrl+O	
	<u>C</u> lose			Ctrl+F4	

11. Lalu pilih Block Diagram/Schematic File, kemudian klik OK



12. Akan muncul workspace seperti gambar dibawah ini



13. Pada langkah praktikum kali ini menggunakan **IC TTL 74283**. Klik **tool Symbol Tool** seperti gambar dibawah (di mark merah)



14. Kemudian pada Libraries, lalu pada kolom name cari IC 74283 → klik OK



15. Lalu atur posisi tersebut seperti gambar dibawah ini. Lalu untuk melepas komponen yang masih ada pada cursor tekan **ESC** pada **keyboard** 



16. Tambahkan gerbang logika **xor** dengan cara klik **tool Symbol Tool**, lalu ketik pada kolom **Name : xor** dan letakkan pada **workspace**.



17. Kemudian buat pin **input** dan **output** dengan cara klik **tool Pin Tool** lalu pilih **Input** dan juga **Output.** 



	-22	Plash1 hafft							IR Catalor		
oject Navigator 🐴 Hierarchy 🔹 🤍 🛄 🗗 🖈		Block I.both			NV A <		<u> </u>		IP Catalog		~ -
Entity:Instance							E 1-				
ramamodul <sup>1</sup> B     sks     Compliation     v     is g d ×     Task     v     Comple Design     > Analysis 6 Synthesis     > Fitter Place Result     > Assembler (Generate program	(P), sano			- CR - A1 - B1 - B2 - B2 - B2 - B2 - B2 - B2 - B2 - B2	SUM1 SUM2 SUM3 COUT IT ADDER	Sanaa Sanaa Sanaa Sanaa Sanaa		Lawen10 Lawen11 Lawen12 Lawen12 Lawen14	♥ µ ♥ Ц > > > > > > > > > > > > > > >	oject Directory No Selection Available <b>xrxy</b> Basic Functions DSP Interface Protocols Memory Interfaces and C Processors and Peipher University Program arch for Partner IP	ontrolle
×	<								<b>*</b> + Add		
All S & A A Vertex-	8DAF484C8G is au	tomatically select	d 🚺 Find Ne <u>x</u> t	ice family M	AX 10						

18. Posisikan pin input dan pin output seperti pada gambar dibawah ini

19. Ubah nama pin (**pin name**) dengan nomor sesuai dengan nomor kaki **IC** yang ada pada **IC** tersebut. Caranya **double click** pada tulisan pin name dan ubah nama sesuai gambar dibawah ini.



20. Kemudian lakukan **wiring** dengan cara kilk **tool Orthogonal Node Tool** atau bisa juga secara langsung dengan klik dan tahan ujung **input/output** lalu sambungkan ke **input** dan **output IC**. Jika terdapat bulatan pada **wiring**, itu artinya **wiring** belum tersambung dengan benar, hapus **wiring** tersebut kemudian lakukan **wiring** ulang.



21. Terakhir Save dengan cara menekan Ctrl+S atau bisa dengan cara klik File → Save. Lalu tentukan directory folder untuk menyimpan file tersebut.





22. Lalu klik kanan pada Compile Design  $\rightarrow$  klik start  $\rightarrow$  tunggu hingga success

23. Masuk ke menu Assignment → Pin planner → berikan location pin Assignment pada fisik DE10-lite sesuai dengan datasheet.



еро	rt					Top View -	Wire Bond				Pin Legend		
F	eport not available					MAX 10 - 10M5	0DAF484C7G				Symbol Pin Ty	me	_
					• •	2 3 4 4 4 7 8 1 10 11	2 10 10 10 10 10 10 10 10 20 21 23					10	
					:8			1			Useri		
					: 👌						User a	issigned I	
					: 8	2000×070000					<ul> <li>Fitter.</li> </ul>	assigned I	
						2000XAX0AA					Unbor	nded pad	
Gro	ups Report					X000XA00UX		· million			Resen	ved pin	
						200VA0000A	AX00AX030X0				C Other	configura	
sk	1	1 6 ×			:8	Sound Accel		1			DEV.	OF C	
	r 📂 Early Pin Planning	s ^				88888888888	88888888888888888888888888888888888888	a second					
	Early Pin Plan	ning			:8	9888988600	88666666666666666666666666666666666666				DEV_	LLK	
	Run I/O Assig	mment Analysi			:8	888888888888888888888888888888888888888	888888888888888888888888888888888888888				DIFF_	n	
	Export Pin Ar	rignmente			-8			44 14			DIFF_	р	
	Export in As	Significants				2 8 4 8 8 9 8 9 10 11	10 10 14 16 16 17 18 19 20 21 22				Q DQ		
5	Named: * * * *	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard	Reserved	Current Strength	Slew Rate	Differential Pair	Strict Preservation	ī
*	- A1	Input	PIN C10	7	B7 N0	PIN A3	2.5 V (default)		12mA (default)				
	- A2	Input	PIN C11	7	87 NO	PIN B2	2.5 V (default)		12mA (default)				
	- A3	Input	PIN_D12	7	B7_N0	PIN_C5	2.5 V (default)		12mA (default)				
	- A4	Input	PIN_C12	7	B7_N0	PIN_A2	2.5 V (default)		12mA (default)				
	<b>-</b> B1	Input	PIN_F15	7	B7_N0	PIN_B1	2.5 V (default)		12mA (default)				
	<b>B</b> 2	Input	PIN_A12	7	B7_N0	PIN_B3	2.5 V (default)		12mA (default)				
	- B3	Input	PIN_B12	7	B7_N0	PIN_D6	2.5 V (default)		12mA (default)				
	- B4	Input	PIN_A13	7	B7_N0	PIN_D5	2.5 V (default)		12mA (default)				
	Cin	Input	PIN_A14	7	B7_N0	PIN_B5	2.5 V (default)		12mA (default)				
	Cout	Output	PIN_D13	7	B7_N0	PIN_F7	2.5 V (default)		12mA (default)	2 (detault)			
	S1	Output	PIN_A8	7	B7_N0	PIN_C4	2.5 V (default)		12mA (default)	2 (detault)			
	- 52 PUT co	Output	PIN_A9	7	87_N0	PIN_C3	2.5 V (default)		12mA (default)	2 (detault)			
	S3 ≥ 1 − −	Output	PIN_A10	/	B/_N0	PIN_B4	2.5 V (default)		12mA (default)	2 (default)			
	<b>5</b> 4	Output	PIN_B10	/	87_N0	PIN_E8	2.5 V (default)		12mA (default)	2 (detault)			
	S S FIRMS FIFTHER & A												

24. Lalu compile lagi Compile Design → tunggu hingga success





# 6.4 Soal Jurnal

- 1. Apa yang dimaksud Adder dan Adder-Subtractor?
- 2. Buatlah rangkaian gerbang logika half adder dengan menggunakan blok diagram menggunkan software Quartus II
- 3. Tuliskan apa yang telah dilakukan pada praktikum modul 6 menggunakan Bahasa kalian sendiri!