

MODUL 4
SIMULASI DIGITAL MENGGUNAKAN QUARTUS II
(PERANCANGAN BERBASIS SKEMATIK)

4.1 Tujuan Praktikum Modul 4

Setelah mempraktekkan topik ini, praktikan diharapkan dapat :

1. Praktikan dapat Mengenal dan Mengetahui Quartus II
2. Praktikan dapat merangkai Gerbang Logika menggunakan *software* Quartus II
3. Praktikan dapat Mensimulasikan Rangkaian digital ke Quartus II

4.2 Dasar Teori Praktikum Modul 4

4.2.1 Quartus Altera II

Quartus merupakan sebuah *software* yang digunakan untuk membuat simulasi rangkaian logika secara digital dengan memanfaatkan bahasa Pemrograman yaitu VHDL ataupun Verilog, dan dapat juga digunakan dengan pembuatan gerbang logika secara visual melalui diagram skematik.

Software yang keluaran dari Altera ini, dapat melakukan *analysis* dan *synthesis* untuk desain, HDL, *compling* desain, analisis diagram pewaktuan, pengetesan reaksi desain kepada beberapa stimulus yang berbeda, dan lain-lain.

Pada praktikum kali ini kita akan membuat sebuah rangkaian gerbang logika dengan menggunakan aplikasi Quartus Altera II pada blok diagram. Perlu diketahui terlebih dahulu *tools* yang ada pada blok diagram, yaitu sebagai berikut.

Tabel 4. 1 Bagian Tools Blok Diagram Quartus Altera II

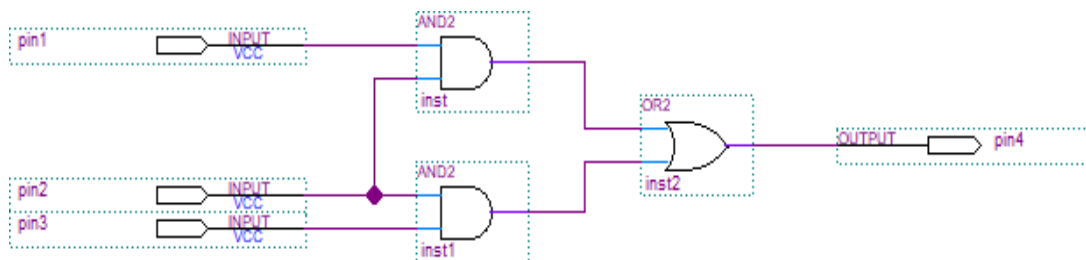
1		<ul style="list-style-type: none"> • Detach Window, untuk memisahkan layar workspace dari layar utama • Selection Tool, untuk menyeleksi suatu objek • Zoom Tool, untuk memperbesar atau memperkecil suatu objek • Hand Tool, untuk menggeser/menggerakkan area objek • Text Tool, untuk membuat text atau tulisan pada lembar kerja • Symbol Tool, untuk menambahkan objek atau symbol berupa gerbang logika, IC, dll • Pin Tool, untuk menambahkan input, output dan bidir pada rangkaian
2		<ul style="list-style-type: none"> • Orthogonal Node, Kabel satu jalur dengan bentuk tegak lurus • Orthogonal Bus, kabel memiliki banyak jalur dalam satu kabel dengan bentuk tegak lurus • Orthogonal Conduit, seperti kabel telepon dengan bentuk tegak lurus • Diagonal Node, kabel satu jalur dengan bentuk diagonal

4.2.2 ModelSim

ModelSim adalah *software* simulator multi Bahasa HDL yang dibuat oleh *Mentor Graphics*. ModelSim digunakan untuk simulasi Bahasa deskripsi perangkat keras seperti VHDL, Verilog, dan SystemC. ModelSim dapat digunakan secara *independent* atau bersamaan dengan Intel Quartus Prime, Xilinx ISE, atau Xilinx Vivado. Simulasi dilakukan menggunakan *interface* grafis (GUI) atau secara otomatis menggunakan skrip.

Dalam peran ModelSim pada praktikum ini untuk menjalankan blok diagram yang sudah dibuat untuk mengetahui fungsi dan hasil dari nilai digital pada gerbang logika.

Gambar 4. 1 Contoh Gerbang Logika



4.3 Lembar Kegiatan Praktikum Modul 4

4.3.1 Alat dan Bahan

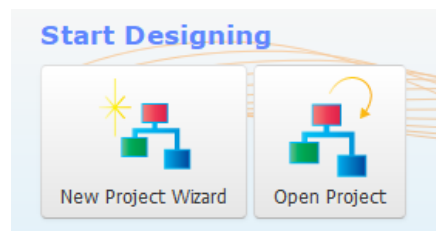
- Laptop yang telah terinstal *software* Quartus Altera II
- Mouse

4.3.2 Langkah Praktikum Modul 4

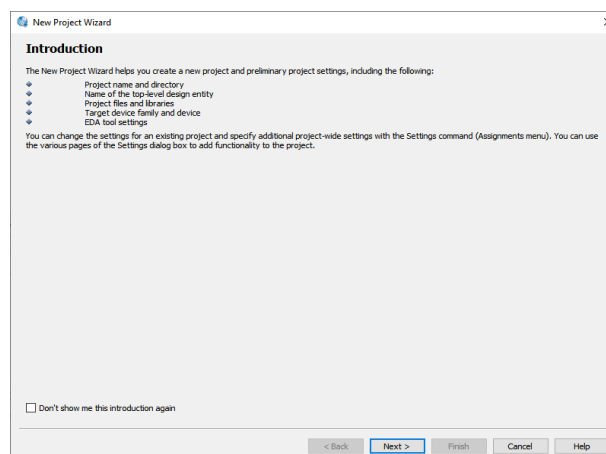
- Buka aplikasi Quartus II 14.1



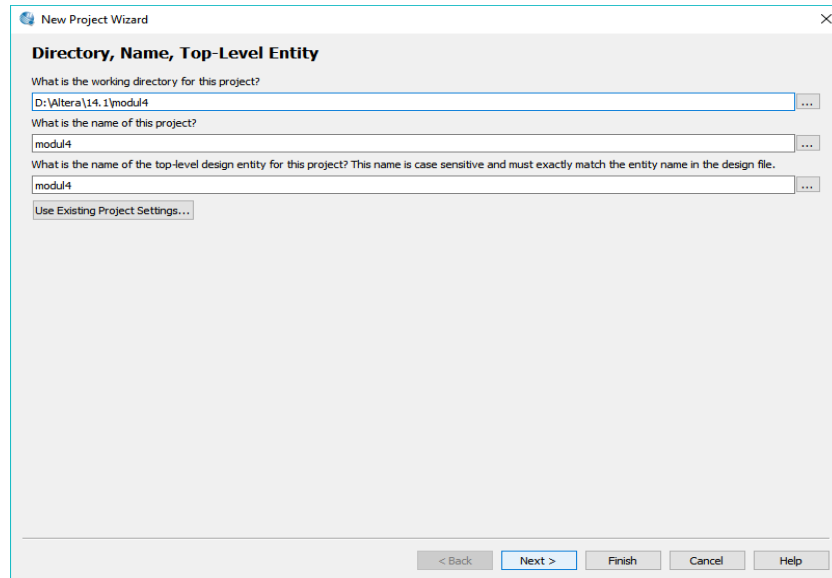
- Buatlah projek baru dengan cara mengklik pada pilihan *New Project Wizard*



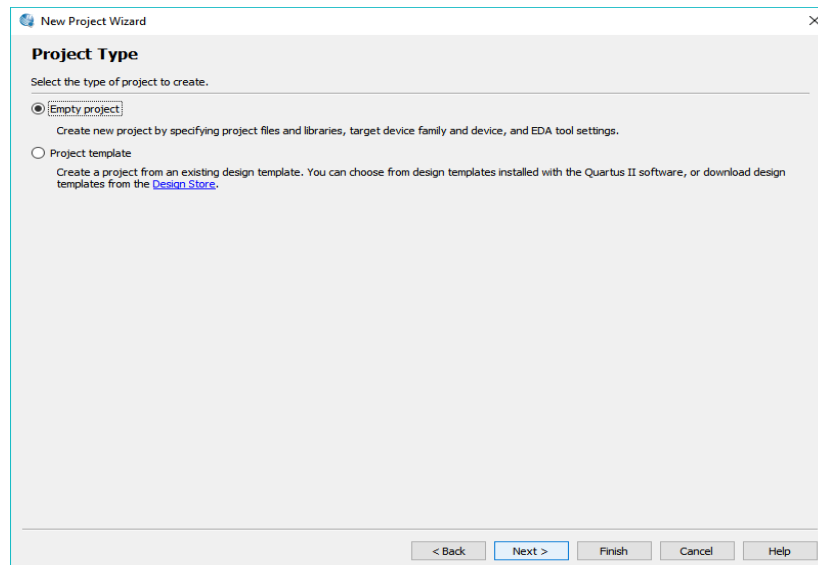
- Klik *Next*



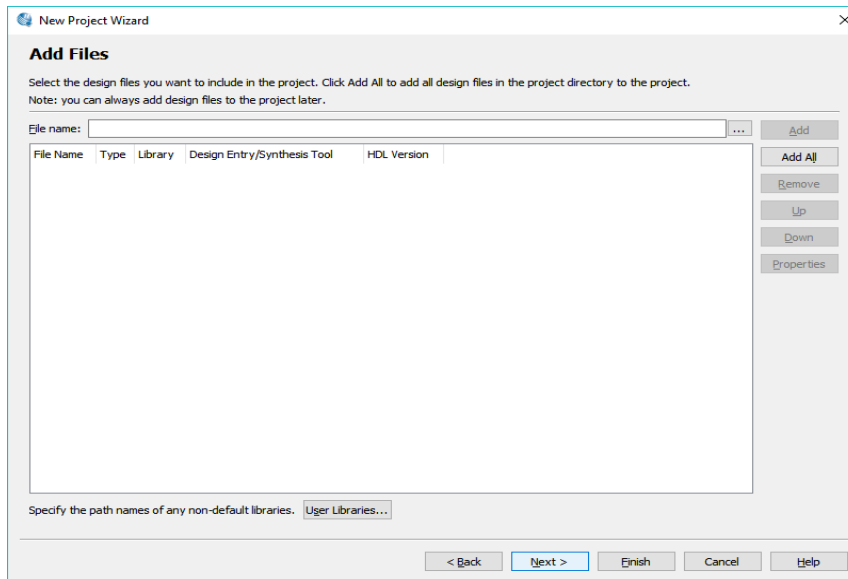
4. Tulis **namamodul** pada bagian *directory* agar *file* proyek dapat terkumpul pada 1 folder utama. Dengan nama yang sama pada *directory*, tulis juga pada bagian nama *project* dan nama *top-level design entity* (*top-level design entity* bersifat *case sensitive* dan harus persis dengan nama *entity* pada *file* desain)



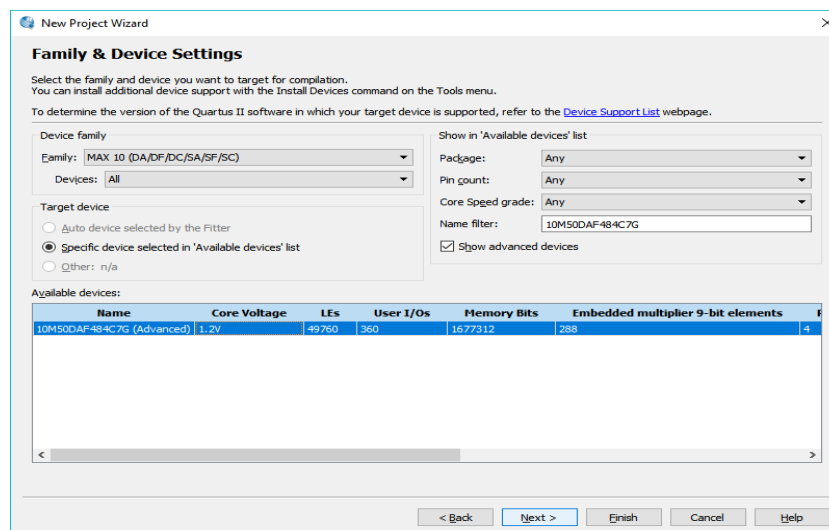
5. Pilih empty project → klik next



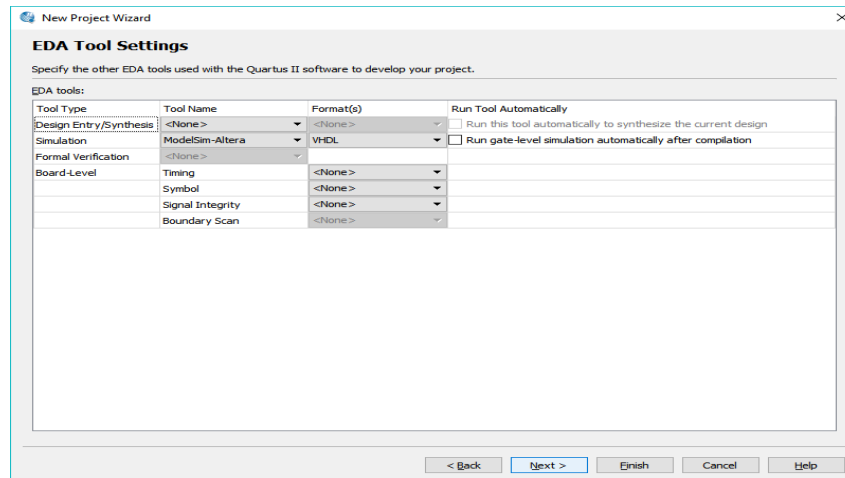
6. Klik *next*



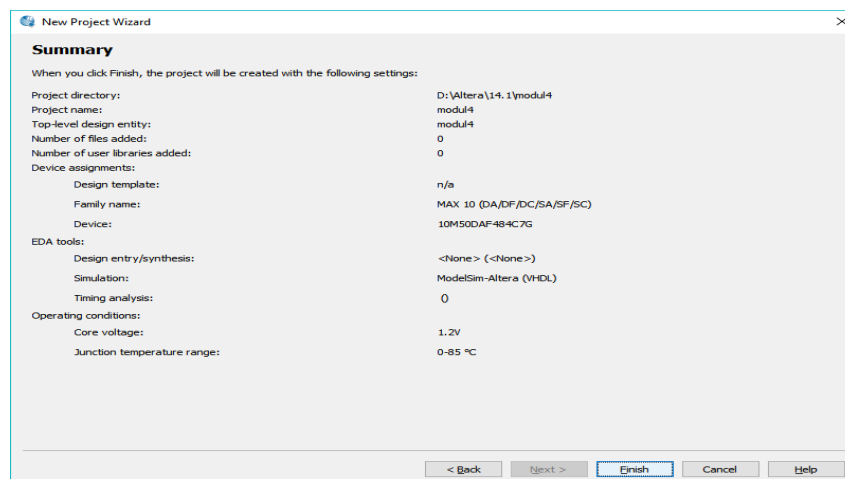
7. Klik *Family* pilih opsi **Max 10** ketik Nama filter sesuai yang ada di FPGA “**10M50DAF484C7G**”, lalu klik *next*



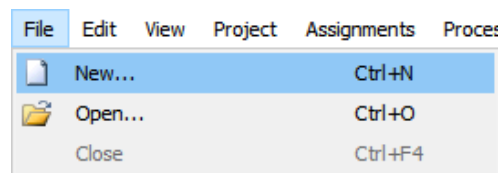
8. Klik *next*



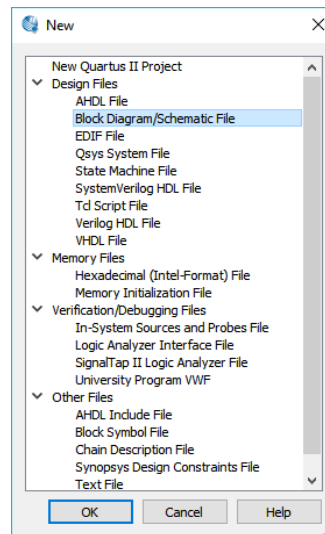
9. Lalu Finish



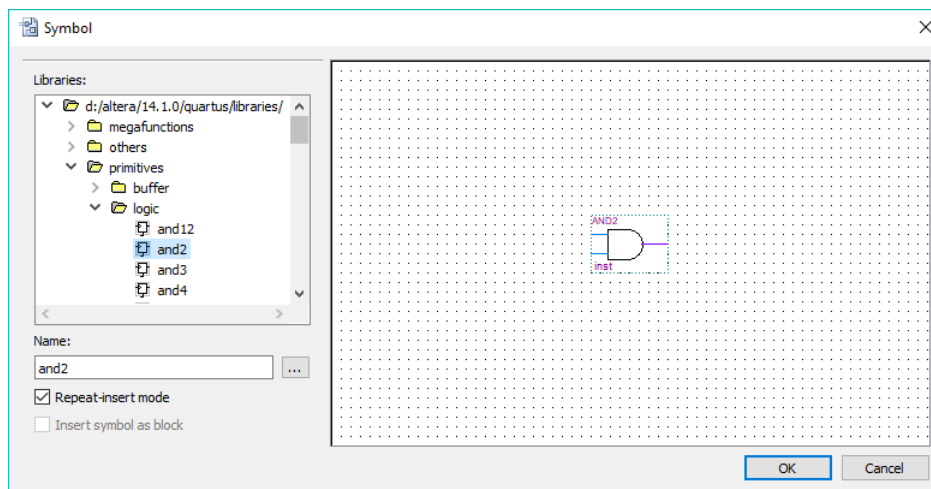
10. Buat *file* baru dengan klik *File*, lalu *New*. Dapat juga menggunakan shortcut **Ctrl+N**.



11. Pilih Block Diagram/Schematic File → Klik OK

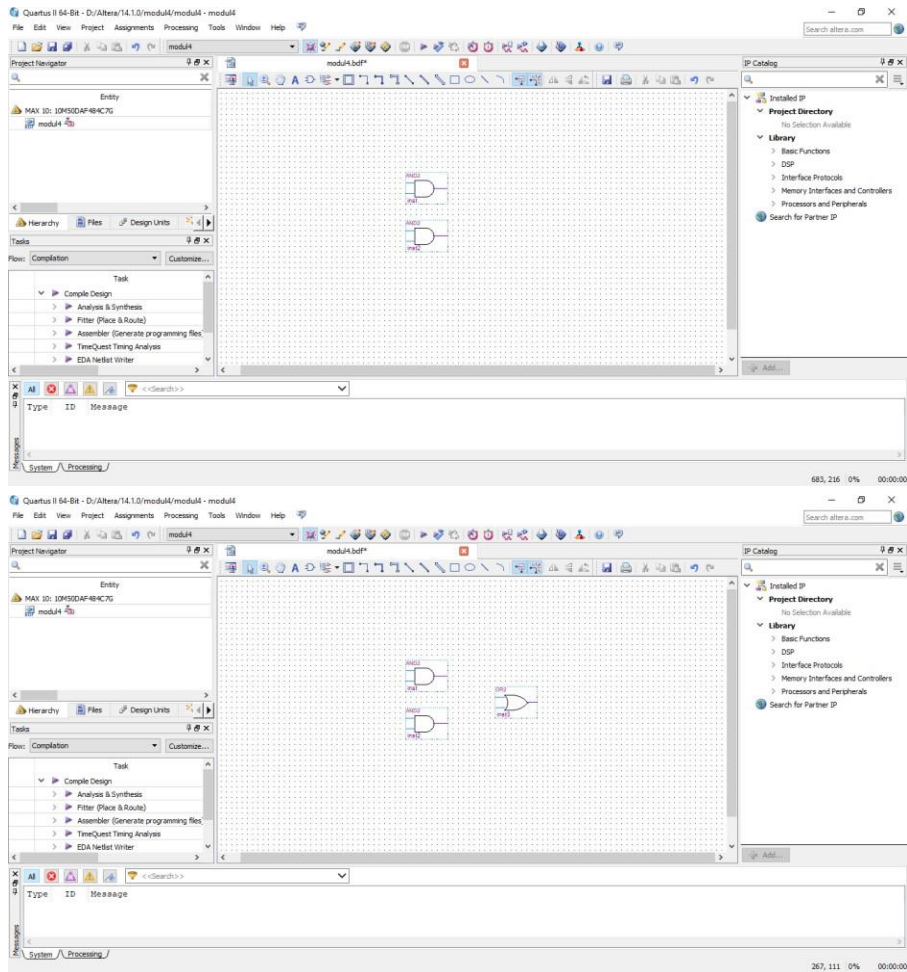


12. Jika workspace-nya sudah ditampilkan, buatlah rangkaian berikut seperti yang sudah di contohkan pada gambar menggunakan tool, untuk mencari gerbang logikanya, Klik Symbol Tool → buka folder Libraries → buka folder Primitives → buka folder Logic → lalu carilah gerbang logikanya. Lalu Ok

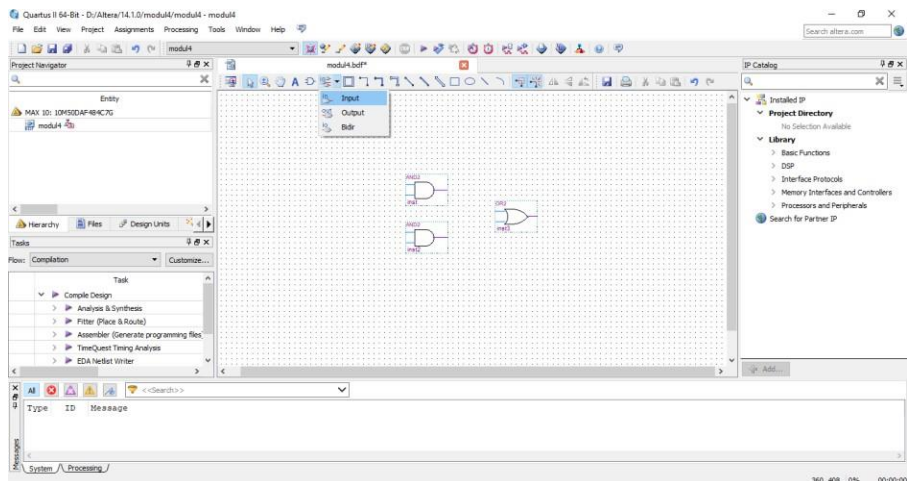


13. Lakukan seterusnya hingga total gerbang ada 3

Modul Praktikum

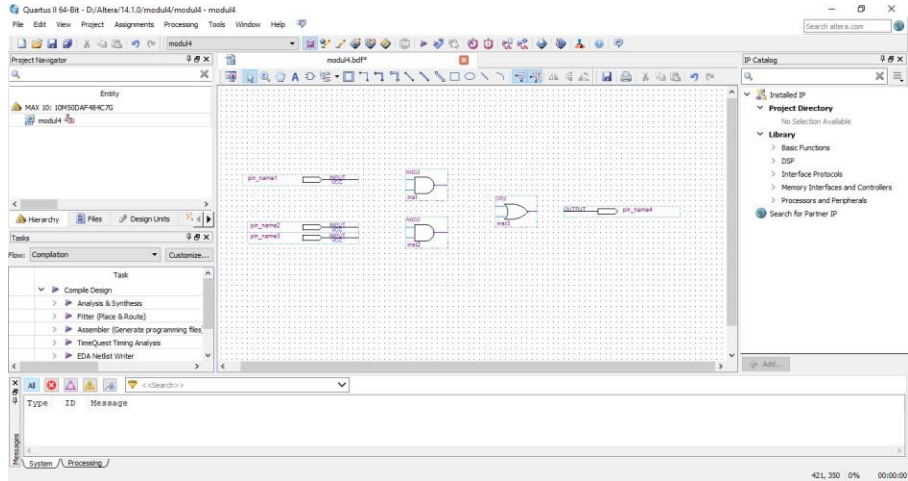


14. Setelah itu, Untuk mencari pin **Input** dan **Output**-nya, pilih **Pin Tool** → klik yang tanda panah kebawah → lalu pilih yang mau di tampilkan.

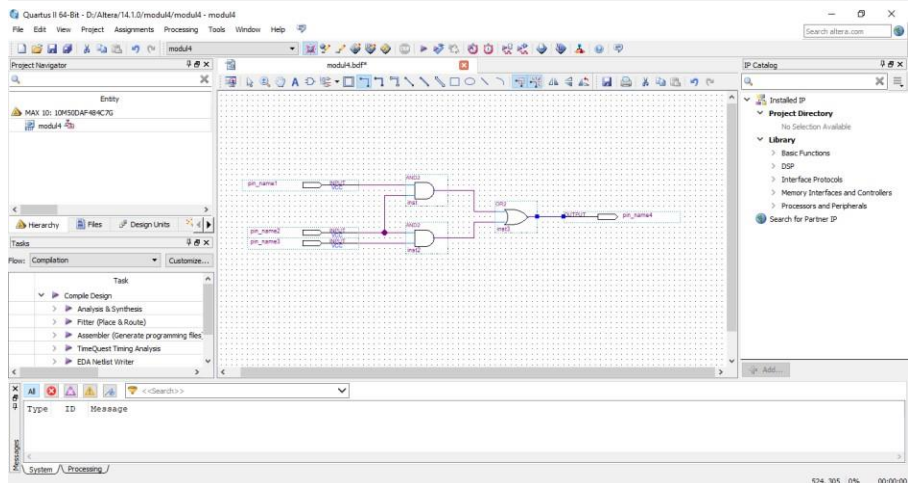
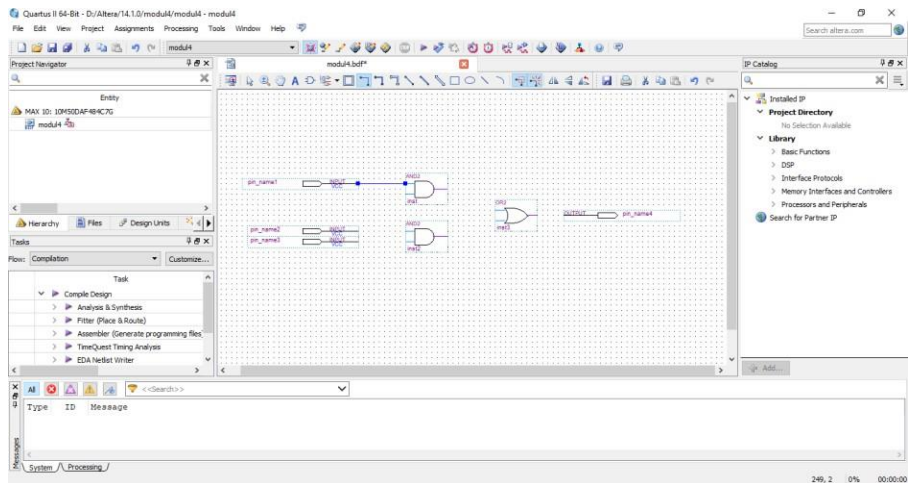


15. Lakukan seterusnya hingga ada 3 input dan 1 output

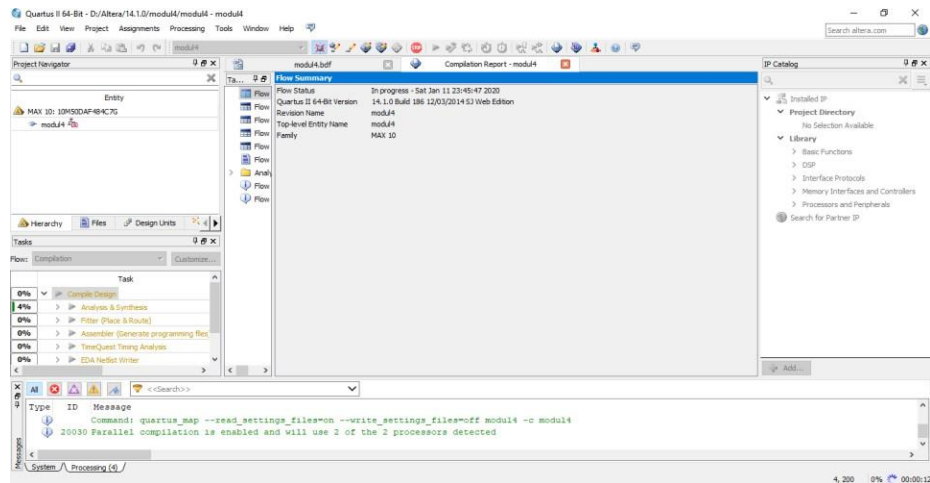
Modul Praktikum



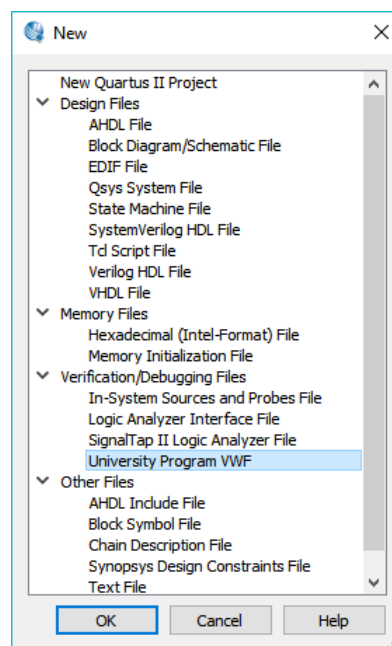
16. Lalu lakukan *wiring* antar kaki pin-nya



17. Jika sudah merangkainya, klik **file** → save as (utamakan Namanya sama dengan file project yang sudah kalian buat), klik Processing → klik Start Compilation → tunggu hingga 100% Complete

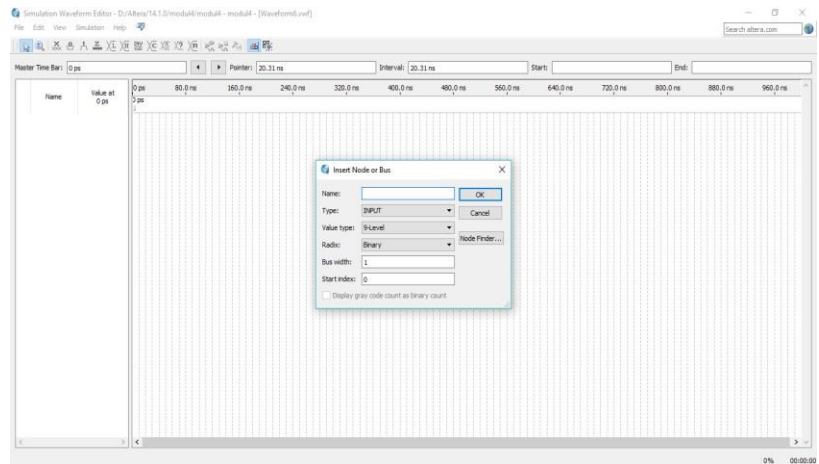


18. Klik **File** → klik **New** → klik **University Program VWF** → klik OK

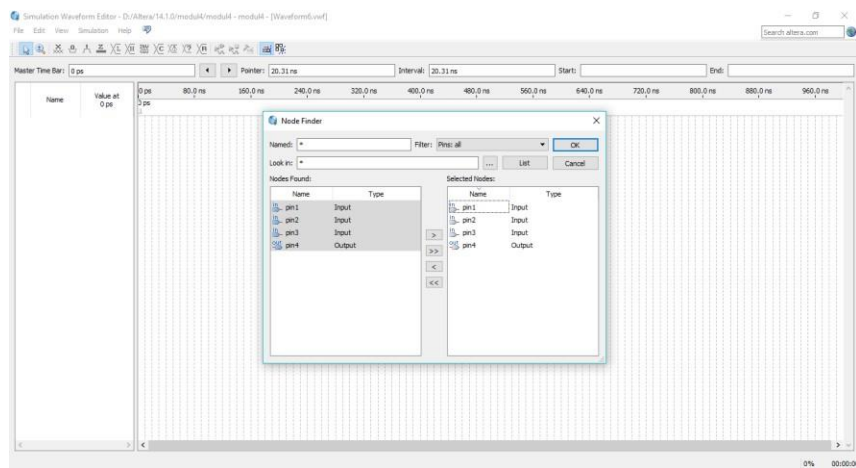


19. Jika sudah ditampilkan, klik **Edit** → klik **Insert** → klik **Insert Node or Bus** → klik **Node Finder**

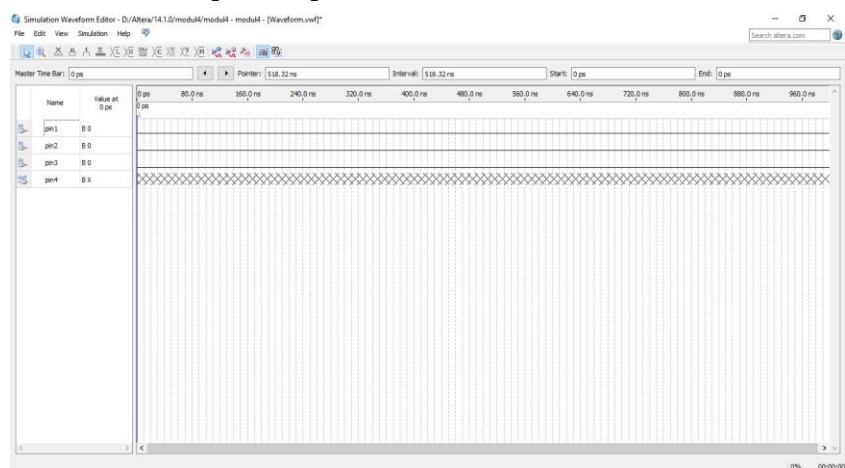
Modul Praktikum



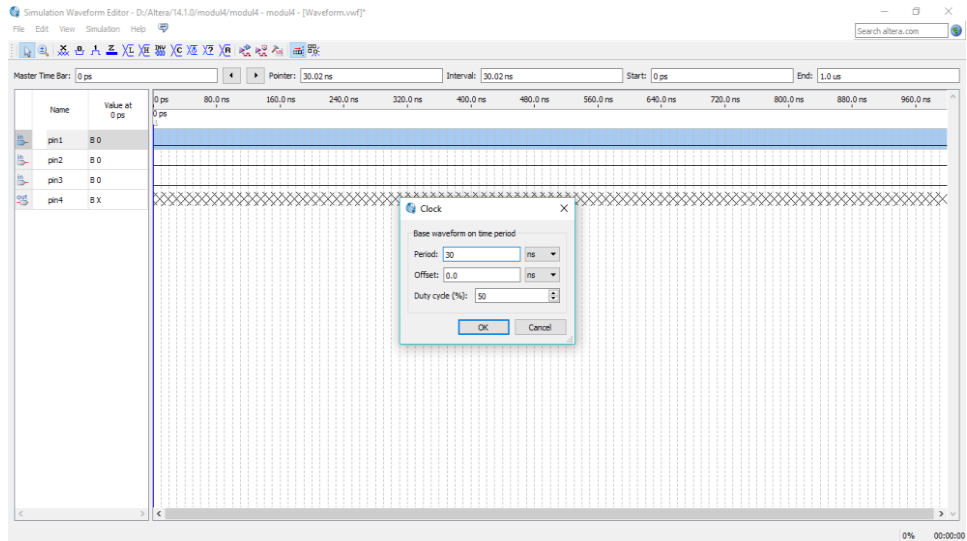
20. Klik *list* → klik simbol “>>” lalu OK → klik OK



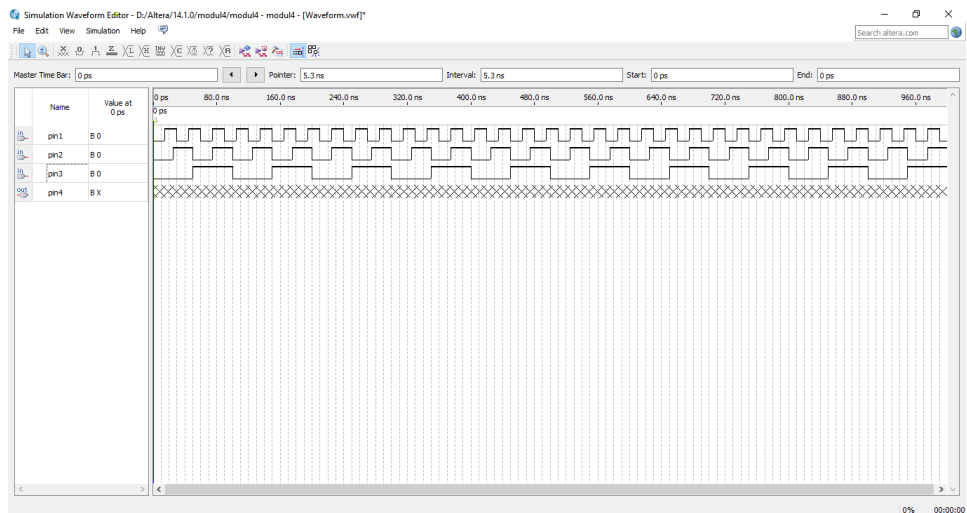
21. Lalu akan muncul tampilan seperti berikut



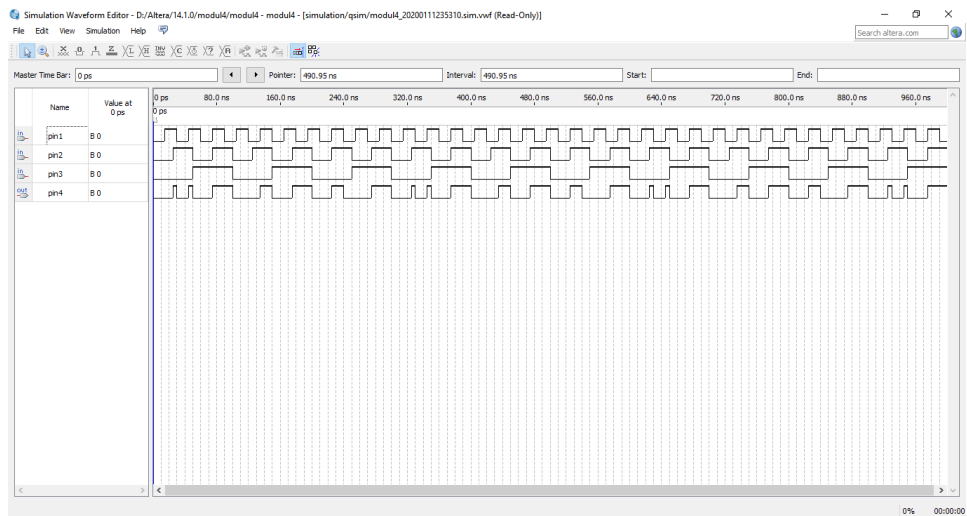
22. Klik pin1 atau input1 → klik *edit* → klik *value* → pilih *overwrite clock*. Ganti periodenya menjadi 30 (optional), lalu OK → lakukan seterusnya kecuali pin 4 atau pin output



23. Jika sudah akan menjadi seperti gambar berikut



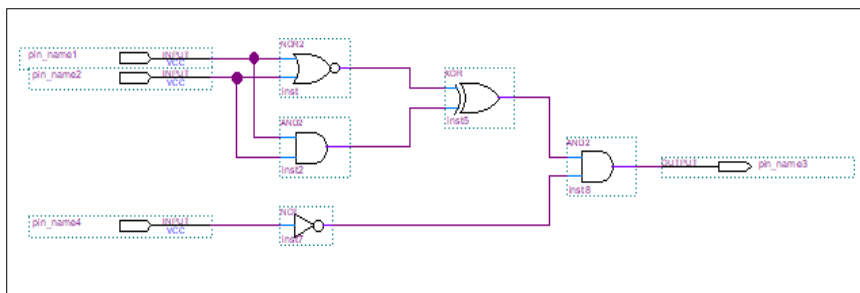
24. Klik **Simulation** → klik **Run Time Simulation** → Save sesuai dengan nama project kalian. Lalu pin4 akan menampilkan hasil output-nya seperti gambar berikut



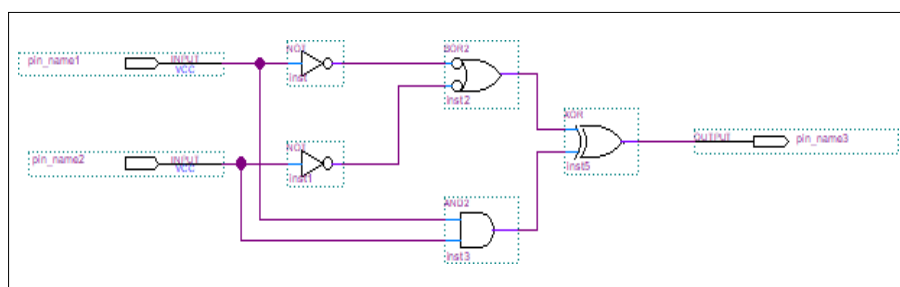
4.4 Soal Jurnal

1. Buatlah rangkaian berikut serta hasil dari *output*-nya di *software* Quartus Altera II!

a.



b.



2. Tuliskan apa yang telah dilakukan pada praktikum modul 4 menggunakan Bahasa kalian sendiri!