


BERKAS PENYUSUNAN
RENCANA PEMBELAJARAN
SEMESTER (RPS)

TELKOM

 Telkom University	FAKULTAS ILMU TERAPAN
	Program Studi D3 Teknologi Telekomunikasi

Matakuliah	:	SISTEM DIGITAL
Kode Mata Kuliah	:	VTI1H3
SKS	:	3 SKS
Semester	:	2
Tahun Akademik	:	2020/2021

TELKOM



RENCANA PEMBELAJARAN SEMESTER
PROGRAM STUDI D3 Teknologi Telekomunikasi
FAKULTAS ILMU TERAPAN – TELKOM UNIVERSITY

MATAKULIAH	KODE	RUMPUN MK	BOBOT		SEMESTER	VERSION
SISTEM DIGITAL	VTI1H3	-	T= -	P= -	Genap	2021-02-17 02:28:12
OTORITAS	PENGEMBANG RPS		KETUA KELOMPOK KEAHLIAN			Ka PRODI
	Atik Novianti S.ST., M.T.					
Deskripsi Mata Kuliah						
Capaian Pembelajaran Mata Kuliah	Program Learning Outcomes (PLO) / CPL PRODI					
	PLO 2	Menguasai konsep dasar, standar aturan, perangkat, proses instalasi dan konfigurasi pada jaringan telekomunikasi broadband				
	PLO 7	Mempunyai keterampilan dalam mengoperasikan perangkat keras dan menggunakan aplikasi perangkat lunak yang berkaitan dengan teknologi informasi dan telekomunikasi				
	Course Learning Outcomes (CLO)					PLO yang di dukung
	CLO 1	Mahasiswa mampu mendeskripsikan konsep dasar sistem, teknik, dan rangkaian digital			PLO 2	
	CLO 2	Mahasiswa memahami sistem bilangan biner dan konversinya serta mengenal kode-kode biner			PLO 2	
	CLO 3	Mahasiswa mampu mensintesis dan menganalisis rangkaian digital			PLO 7	
	CLO 4	Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional			PLO 7	
	CLO 5	Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial			PLO 7	
Tabel Penilaian	No	Nama Asessmenttools	CLO yang dinilai	Bentuk komponen	Bobot Asessment	Total Bobot Per Bentuk Assement
	TOTAL				0%	0%
Pustaka	Utama					
	-					
	Pendukung					
	-					
Media Pembelajaran	Software					
	-					
	Hardware					
	-					
Team Teaching	Atik Novianti S.ST., M.T., Denny Darlis S.Si., M.T.					

TELKOM

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sistem, teknik, dan rangkaian digital								
1-1	CLO 1	• [CLO 1-1.1] Mampu menjelaskan terminologi sistem, teknik dan rangkaian digital	• Ketepatan penjelasan terminologi yang digunakan	Uji Kompetensi 1	• PENGENALAN LOGIKA DAN TEKNIK DIGITAL	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sistem, teknik, dan rangkaian digital								
1-2	CLO 1	• [CLO 1-1.2] Mampu memahami aturan Praktikum Teknik Digital	• Kehadiran pada Praktikum Modul 0	Praktikum	• PENGENALAN PRAKTIKUM TEKNIK DIGITAL (RUNNING MODUL)	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 2 CLO Mahasiswa memahami sistem bilangan biner dan konversinya serta mengenal kode-kode biner								
2-2	CLO 2	• [CLO 2-2.2] Mampu memasang piranti lunak pengkodean FPGA di masing-masing PC	• Masing-masing PC telah terpasang aplikasi pendukung	Praktikum	• INSTALASI SOFTWARE PENDUKUNG	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 2 CLO Mahasiswa memahami sistem bilangan biner dan konversinya serta mengenal kode-kode biner								
2-1	CLO 2	• [CLO 2-2.1] Mampu memahami basis bilangan biner, octal, heksadesimal, dan konversinya ke decimal serta kode biner	• Ketepatan konversi antar basis bilangan dan membaca kode biner	Uji Kompetensi 1	• SISTEM BILANGAN DAN KODE BINER	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
3-2	CLO 3	• [CLO 3-3.2] Mampu melakukan simulasi digital berbasis skematik di piranti lunak pengkodean FPGA	• Ketepatan memanfaatkan Gerbang Logika, IC jenis TTL dan CMOS menggunakan aplikasi	Praktikum	• PENGENALAN IC DIGITAL KELUARGA TTL DAN CMOS	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
3-1	CLO 3	• [CLO 3-3.1] Mampu mengenali gerbang logika digital dan universal	• Ketepatan evaluasi tabel kebenaran dan menggambar simbol	Uji Kompetensi 1	• PENGENALAN GERBANG LOGIKA DASAR DAN UNIVERSAL	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 1 CLO Mahasiswa mampu mendeskripsikan konsep dasar sistem, teknik, dan rangkaian digital CLO 2 CLO Mahasiswa memahami sistem bilangan biner dan konversinya serta mengenal kode-kode biner CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
4-1	CLO 1,CLO 2,CLO 3	• [CLO 1-1.1] Mampu menjelaskan terminologi sistem, teknik dan rangkaian digital • [CLO 2-2.1] Mampu memahami basis bilangan biner, octal, heksadesimal, dan konversinya ke decimal serta kode biner • [CLO 3-3.1] Mampu mengenali gerbang logika digital dan universal	• Ketepatan evaluasi tabel kebenaran dan menggambar simbol • Ketepatan penjelasan terminologi yang digunakan • Ketepatan konversi antar basis bilangan dan membaca kode biner	Uji Kompetensi 1	• UJI KOMPETENSI I (PENGENALAN TEKNIK DIGITAL)	• Full Online		• Menjawab soal ujian[2X50 Menit]
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
4-2	CLO 3	• [CLO 3-3.2] Mampu melakukan simulasi digital berbasis skematik di piranti lunak pengkodean FPGA	• Kemampuan simulasi digital menggunakan Modelsim	Praktikum	• SIMULASI DIGITAL MENGGUNAKAN MODELSIM	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
5-2	CLO 3	• [CLO 3-3.4] Mampu melakukan simulasi digital berbasis skematik di piranti lunak pengkodean FPGA	• Kemampuan simulasi digital menggunakan aplikasi Quartus II	Praktikum	• SIMULASI DIGITAL MENGGUNAKAN QUARTUS II (PERANCANGAN BERBASIS SKEMATIK)	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
5-1	CLO 3	• [CLO 3-3.3] Mampu mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran dan diagram pewaktuan	• Kemampuan dalam mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran, dan diagram pewaktuan	Uji Kompetensi 2	• ALJABAR BOOLEAN DAN RANGKAIAN LOGIKA DIGITAL	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
6-2	CLO 3	• [CLO 3-3.6] Mampu membangun gerbang dasar dan menguji rangkaian sederhana di FPGA	• Kemampuan simulasi rangkaian digital sederhana menggunakan aplikasi	Praktikum	• SIMULASI RANGKAIAN DIGITAL SEDERHANA	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
6-1	CLO 3	• [CLO 3-3.5] Mampu menggunakan Peta Karnaugh untuk menyederhanakan rangkaian digital	• Kemampuan menyederhanakan rangkaian digital menggunakan Peta Karnaugh	Uji Kompetensi 2	• TEKNIK PENYEDERHANAAN RANGKAIAN DIGITAL (K-MAP)	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
7-1	CLO 3	• [CLO 3-3.5] Mampu menggunakan Peta Karnaugh untuk menyederhanakan rangkaian digital • [CLO 3-3.3] Mampu mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran dan diagram pewaktuan	• Kemampuan dalam mensintesis dan menganalisis rangkaian digital berdasarkan persamaan Boolean, tabel kebenaran, dan diagram pewaktuan • Kemampuan menyederhanakan rangkaian digital menggunakan Peta Karnaugh	Uji Kompetensi 2	• UJIAN KOMPETENSI II (RANGKAIAN DIGITAL DAN PENYEDERHANAANNYA)	• Full Online		• Menjawab soal ujian[2X50 Menit]
CLO 3 CLO Mahasiswa mampu mensintesis dan menganalisis rangkaian digital								
7-2	CLO 3	• [CLO 3-3.6] Mampu membangun gerbang dasar dan menguji rangkaian sederhana di FPGA	• Kemampuan simulasi rangkaian penjumlah dan pengurang 4 bit	Praktikum	• SIMULASI RANGKAIAN PENJUMLAH DAN PENGURANG 4-BIT	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
8-2	CLO 4	• [CLO 4-4.2] Mampu mengImplementasikan rangkaian penjumlah dan pengurang 4-bit menggunakan FPGA	• Kemampuan simulasi mux dan demux menggunakan aplikasi	Praktikum	• SIMULASI RANGKAIAN MUX DAN DEMUX	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
8-1	CLO 4	• [CLO 4-4.1] Mampu menguasai perancangan rangkaian aritmetika biner dan BCD	• Kemampuan membuat rangkaian aritmetika pengurangan biner dan BCD	Uji Kompetensi 3	• RANGKAIAN KOMBINASIONAL PENJUMLAH DAN PENGURANG	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
9-1	CLO 4	• [CLO 4-4.3] Mampu menguasai perancangan rangkaian pemroses digital	• Kemampuan membuat rangkaian pemroses digital	Uji Kompetensi 3	• RANGKAIAN KOMBINASIONAL MULTIPLEKSER DAN DEMULTIPLEKSER	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
9-2	CLO 4	• [CLO 4-4.4] Mampu menampilkan hasil rangkaian pemroses digital menggunakan FPGA	• Kemampuan simulasi rangkaian encoder dan decoder menggunakan aplikasi	Praktikum	• SIMULASI RANGKAIAN ENCODER DAN DECODER	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
10-1	CLO 4	• [CLO 4-4.5] Mampu menampilkan hasil pengolahan input biner ke tampilan digital	• Kemampuan menampilkan hasil pengolahan input biner ke tampilan digital	Uji Kompetensi 3	• RANGKAIAN KOMBINASIONAL ENCODER DAN DECODER TAMPILAN DIGITAL	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
10-2	CLO 4	• [CLO 4-4.6] Mampu mengimplementasikan rangkaian pengendali tampilan digital menggunakan FPGA	• Kemampuan simulasi rangkaian BCD to 7 segment menggunakan aplikasi	Praktikum	• SIMULASI RANGKAIAN BCD-TO-7 SEGMENT	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
11-1	CLO 4	• [CLO 4-4.1] Mampu menguasai perancangan rangkaian aritmetika biner dan BCD • [CLO 4-4.3] Mampu menguasai perancangan rangkaian pemroses digital • [CLO 4-4.5] Mampu menampilkan hasil pengolahan input biner ke tampilan digital	• Kemampuan membuat rangkaian pemroses digital • Kemampuan menampilkan hasil pengolahan input biner ke tampilan digital • Kemampuan membuat rangkaian aritmetika pengurangan biner dan BCD	Uji Kompetensi 3	• UJIAN KOMPETENSI III (RANGKAIAN KOMBINASIONAL)	• Full Online		• Menjawab soal ujian[2X50 Menit]
CLO 4 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital kombinasional								
11-2	CLO 4	• [CLO 4-4.6] Mampu mengimplementasikan rangkaian pengendali tampilan digital menggunakan FPGA	• Kemampuan simulasi counter dan register menggunakan aplikasi	Praktikum	• SIMULASI COUNTER DAN REGISTER	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
12-1	CLO 5	• [CLO 5-5.1] Mampu memahami state diagram dan elemen memori dasar	• Kemampuan membaca state diagram dan menguasai rangkaian Flip-Flop dasar	Uji Kompetensi Praktikum	• FLIP-FLOP DAN MEMORI	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
12-2	CLO 5	• [CLO 5-5.2] Mampu mengimplementasikan rangkaian flip-flop dan memori menggunakan FPA	• Kemampuan simulasi rangkaian encoder dan decoder (perancangan berbasis kode) menggunakan aplikasi	Praktikum	• SIMULASI RANGKAIAN ENCODER DAN DECODER (PERANCANGAN BERBASIS KODE)	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
13-1	CLO 5	• [CLO 5-5.3] Mampu merancang rangkaian sekuensial berbasis flip-flop dan pewaktu	• Kemampuan merancang rangkaian sekuensial berbasis Flip-Flop dan pewaktu	Uji Kompetensi Praktikum	• STATE DIAGRAM DAN RANGKAIAN SEKUENSIAL	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								

Minggu dan Pertemuan	CLO Number	Hasil Pembelajaran yang Diharapkan (SUB - CLO)	Penilaian		Materi Pembelajaran [Referensi]	Metode Pembelajaran [Model]	Pengalaman Pembelajaran Mahasiswa	
			Indikator/ Bukti Ketercapaian CLO	Bentuk			Tatap Muka [estimasi waktu]	Daring [estimasi waktu]
13-2	CLO 5	• [CLO 5-5.4] Mampu mengimplementasikan rangkaian sekuensial berbasis flip-flop dan pewaktu di FPGA	• Kemampuan simulasi counter dan register (perancangan berbasis kode) menggunakan aplikasi	Praktikum	• SIMULASI COUNTER DAN REGISTER (PERANCANGAN BERBASIS KODE)	• Full Online		• Diskusi dan tanya jawab[3X50 Menit]
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
14-1	CLO 5	• [CLO 5-5.5] Mampu merancang rangkaian pencacah dan register	• Kemampuan merancang rangkaian pencacah dan register	Uji Kompetensi Praktikum	• COUNTER DAN REGISTER	• Full Online		• Diskusi dan tanya jawab[2X50 Menit]
CLO 5 CLO Mahasiswa mampu menguasai perancangan dan implementasi rangkaian digital sekuensial								
14-2	CLO 5	• [CLO 5-5.6] Mampu mengimplementasikan softcore prosesor di FPGA	• 1. Kemampuan membaca state diagram dan menguasai rangkaian Flip-Flop dasar 2. Kemampuan merancang rangkaian sekuensial berbasis Flip-Flop dan pewaktu 3. Kemampuan merancang rangkaian pencacah dan register	Uji Kompetensi Praktikum	• UJI KOMPETENSI PRAKTIKUM	• Full Online		• Mempresentasikan proyek[3X50 Menit]