# MODUL 2 PENGENALAN IC DIGITAL KELUARGA TTL DAN CMOS

### 2.1 Tujuan Praktikum Modul 2 :

Setelah mempraktekkan topik ini, praktikan diharapkan dapat :

- 1. Praktikan dapat mengenal dan mengetahui Gerbang Logika, IC jenis TTL dan CMOS
- 2. dapat membuat IC bermuatan gerbang logika menggunakan software Quartus II

## 2.2 Dasar Teori Pendukung Modul 2

### 2.2.1 Gerbang Logika

Gerbang logika atau dalam Bahasa Inggris disebut dengan *Logic Gate* adalah dasar pembentuk Sistem Elektronika Digital yang berfungsi untuk mengubah satu atau beberapa Input (masukan) menjadi sebuah sinyal Output (keluaran) Logis. Gerbang Logika beroperasi berdasarkan system bilangan biner yaitu bilangan yang hanya memiliki 2 kode symbol yakni 0 dan 1 dengan menggunakan Teori Aljabar Boolean.

## 2.2.2 Tabel Kebenaran

Tabel Kebenaran terdiri dari urutan kemungkinan logika input dan logika output. Tabel kebenaran digunakan untuk menunjukkan bagaimana logika output pada rangkaian logika dipengaruhi oleh logika input pada rangkaian logika.



Gambar 2. 1 Bagan Sistem; (a) 2 masukan/input, (b) 4 masukan/input

Gambar diatas menunjukkan contoh bagan sistem dari rangkaian logika dimana pada gambar (a) menunjukkan 2 Inputan dan gambar (b) menunjukkan 4 Inputan. Kita dapat membuat contoh tabel kebenaran untuk masing-masing bagan rangkaian yang terdapat pada gambar (a) dan (b) dengan melihat pada tabel dibawah ini :

A	В	Y
0	0	0
0	1	1
1	0	0
1	1	1

Tabel 2. 1 Contoh table kebenaran (a) 2 masukan (A dan B) dan 1 keluaran

Tabel 2. 2 Contoh tabel kebenaran gambar (b) 4 masukan (A,B,C) dan 1 keluaran (Y)

A	В	С	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

Dari kedua tabel diatas diperlihatkan contoh tabel kebenaran untuk 2 masukan dan 4 masukan, kedua tabel diatas memperlihatkan keluaran Y dimana keluaran tersebut dipengaruhi oleh masukan dari A dan B yang mana protokol atau aturan yang menentukan keluaran tersebut berada pada gerbang logika yang digunakan.

### Jenis-Jenis Gerbang Logika Dasar dan Simbolnya

Terdapat 7 jenis gerbang logika dasar yang membentuk sebuah sistem Elektronika digital, yaitu:

- 1. Gerbang NOT
- 2. Gerbang AND
- 3. Gerbang OR
- 4. Gerbang NAND
- 5. Gerbang NOR
- 6. Gerbang X-OR (Exclusive OR)
- 7. Gerbang X-NOR (Exclusive NOR)

Penjelasan Gerbang Logika dan Simbolnya :

1. Gerbang NOT

Gerbang NOT hanya memerlukan sebuah Masukan (Input) untuk menghasilkan hanya 1 Keluaran (Output). Gerbang NOT disebut juga dengan Inverter (Pembalik) karena menghasilkan Keluaran (Output) yang berlawanan (kebalikan) dengan Masukan atau Inputnya. Berarti jika kita ingin mendapatkan Keluaran (Output) dengan nilai Logika 0 maka Input atau Masukannya harus bernilai Logika 1. Gerbang NOT biasanya dilambangkan dengan simbol minus ("-") di atas Variabel Inputnya.



Gambar 2. 2 Simbol dan Tabel Kebenaran Gerbang NOT

2. Gerbang AND

Gerbang AND memerlukan 2 atau lebih Masukan (Input) untuk menghasilkan hanya 1 Keluaran (Output). Gerbang AND akan menghasilkan Keluaran (Output) Logika 1 jika semua masukan (Input) bernilai Logika 1 dan akan menghasilkan Keluaran (Output) Logika 0 jika salah satu dari masukan (Input) bernilai Logika 0. Simbol yang menandakan Operasi Gerbang Logika AND adalah tanda titik (".") atau tidak memakai tanda sama sekali. Contohnya : Z = X.Y atau Z = XY.



## 3. Gerbang OR

Gerbang OR memerlukan 2 atau lebih Masukan (Input) untuk menghasilkan hanya 1 Keluaran (Output). Gerbang OR akan menghasilkan Keluaran (Output) 1 jika salah satu dari Masukan (Input) bernilai Logika 1 dan jika ingin menghasilkan Keluaran (Output) Logika 0, maka semua Masukan (Input) harus bernilai Logika 0. Simbol yang menandakan Operasi Logika OR adalah tanda Plus ("+"). Contohnya : Z = X + Y.



Gambar 2. 4 Simbol dan Tabel Kebenaran Gerbang OR

4. Gerbang NAND

Arti NAND adalah NOT AND atau BUKAN AND, Gerbang NAND merupakan kombinasi dari Gerbang AND dan Gerbang NOT yang menghasilkan kebalikan dari Keluaran (Output) Gerbang AND. Gerbang NAND akan menghasilkan Keluaran Logika 0 apabila semua Masukan (Input) pada Logika 1 dan jika terdapat sebuah Input yang bernilai Logika 0 maka akan menghasilkan Keluaran (Output) Logika 1.





### 5. Gerbang NOR

Arti NOR adalah NOT OR atau BUKAN OR, Gerbang NOR merupakan kombinasi dari Gerbang OR dan Gerbang NOT yang menghasilkan kebalikan dari Keluaran (Output) Gerbang OR. Gerbang NOR akan menghasilkan Keluaran Logika 0 jika salah satu dari Masukan (Input) bernilai Logika 1 dan jika ingin mendapatkan Keluaran Logika 1, maka semua Masukan (Input) harus bernilai Logika 0.



Gambar 2. 6 Simbol dan Tabel Kebenaran Gerbang NOR

6. Gerbang X-OR (Exclusive OR)

X-OR adalah singkatan dari Exclusive OR yang terdiri dari 2 Masukan (Input) dan 1 Keluaran (Output) Logika. Gerbang X-OR akan menghasilkan Keluaran (Output) Logika 1 jika semua Masukan-masukannya (Input) mempunyai nilai Logika yang berbeda. Jika nilai Logika Inputnya sama, maka akan memberikan hasil Keluaran Logika 0.

Gambar 2. 7 Simbol dan Tabel Kebenaran Gerbang X-0	)R
--	----



7. Gerbang X-NOR (Exclusive NOR)

Seperti Gerbang X-OR, Gerbang X-NOR juga terdiri dari 2 Masukan (Input) dan 1 Keluaran (Output). X-NOR adalah singkatan dari Exclusive NOR dan merupakan kombinasi dari Gerbang X-OR dan Gerbang NOT. Gerbang X- NOR akan menghasilkan Keluaran (Output) Logika 1 jika semua Masukan atau Inputnya bernilai Logika yang sama dan akan menghasilkan Keluaran (Output) Logika 0 jika semua Masukan atau Inputnya bernilai Logika yang berbeda. Hal ini merupakan kebalikan dari Gerbang X-OR (Exclusive OR).



Gambar 2. 8 Simbol dan Tabel Kebenaran Gerbang X-N
--

## 2.2.3 IC (Integrated Circuit)

Integrated Circuit atau disingkat dengan IC adalah Komponen Elektronika Aktif yang terdiri dari gabungan ratusan, ribuan bahkan jutaan Transistor, Dioda, Resistor dan Kapasitor yang diintegrasikan menjadi suatu Rangkaian Elektronika dalam sebuah kemasan kecil. Bahan utama yang membentuk sebuah Integrated Circuit (IC) adalah Bahan Semikonduktor. Silicon merupakan bahan semikonduktor yang paling sering digunakan dalam Teknologi Fabrikasi Integrated Circuit (IC). Dalam bahasa Indonesia, Integrated Circuit atau IC ini sering diterjemahkan menjadi Sirkuit Terpadu.

Terdapat banyak sekali jenis IC, namun yang akan dibahas pada praktikum kali ini adalah jenis-jenis IC yang memuat gerbang logika. Jenis IC yang memuat gerbang logika terbagi menjadi 2 jenis, yaitu :

- a. IC TTL (Integrated Circuit Transistor-Transistor Logic)
- b. IC CMOS (Integrated Circuit Complementary Metal Oxide Semiconductor)

## Penjelasan Singkat IC TTL & IC CMOS

a. IC TTL

IC-TTL dibangun dengan menggunakan transistor sebagai komponen utamanya dan fungsinya dipergunakan untuk berbagai variasi Logic, sehingga dinamakan Transistor-Transistor Logic. Dalam satu kemasan IC terdapat beberapa macam gate (gerbang) yang dapat melakukan berbagai macam fungsi logic seperti AND, NAND, OR, NOR, XOR serta beberapa fungsi logic lainnya seperti Decoder, Encoder, Multiflexer dan Memory sehingga pin (kaki) IC jumlahnya banyak dan bervariasi ada yang 8, 14, 16, 24 dan 40.

- Sumber tegangan 4,75 5,25 V
- o Ditandai dengan kode 73 (seri 74XX, 741XX, 742XX)
- o Dapat diaplikasikan sebagai saklar ON/OFF



Gambar 2.9 (a) IC TTL 7404, (b) IC TTL 7408, (c) IC TTL 7432

Tipe IC	Gerbang Logika yang dimuat
7400	Quad 2-input NAND Gate
7401	Quad 2-input NAND Gate (Open Collector)
7402	Quad 2-input NOR Gate
7403	Quad 2-input NAND Gate
7404	Hex Inverter
7405	Hex Inverter (Open Collector)
7406	Hex Inverter Buffer/Driver (Open Collector)
7407	Hex Buffer/Driver (Open Collector)
7408	Quad 2-input AND Gate
7409	Quad 2-input AND Gate (Open Collector)
7410	Triple 3-input NAND Gate
7411	Triple 3-input AND Gate
7414	Hex Inverter Schimtt Trigger
7420	Dual 4-input NAND Gate
7421	Dual 4-input AND Gate
7427	Triple 3-input NOR Gate
7430	8-input NAND Gate
7432	Quad 2-input OR Gate
7437	Quad 2-input NAND Buffer
7438	Quad 2-input NAND Buffer (Open Collector)
7486	Quad Exclusive-OR Gate
74132	Quad 2-input NAND Schmitt Trigger
74136	Quad Exclusive-OR Gate (Open Collector)
74260	Dual 5-input NOR Gate
74266	Quad Exclusive-NOR Gate
74365	Hex Buffer with Logical OR Tri-State
74368	Hex Inverter Tri-State

Tabel 2. 3 Daftar IC TTL gerbang logika

### b. IC CMOS

Selain TTL, jenis IC digital lainnya adalah C-MOS (Complementary with MOSFET) yang berisi rangkaian yang merupakan gabungan dari beberap komponen MOSFET untuk membentuk gate-gate dengan fungsi logic seperti halnya IC-TTL. Dalam satu kemasan IC C-MOS dapat berisi beberapa macam gate(gerbang) yang dapat melakukan berbagai macam fungsi logic seperti AND,NAND,OR,NOR,XOR serta beberapa fungsi logic lainnya seperti Decoders, Encoders, Multiplexer dan Memory.

- $\circ$  Sumber tegangan 3 18 V
- Merupakan gabungan dari komponen MOSFET untuk membuat gerbang dengan fungsi logika
- o Ditandai dengan kode 40 (seri 40XX)



#### Gambar 2. 10 (a) IC CMOS 4081, (b) IC CMOS 4071, (c) IC CMOS 4011

## 2.3 Lembar Kegiatan Praktikum Modul 2 :

## 2.3.1 Alat dan Bahan

- 1. Software Quartus II
- 2. Laptop
- 3. Mouse

## 2.3.2 Langkah Praktikum

1. Buka software Quartus II di laptop dan klik New Project Wizard

1 2 2 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	111	- X - 1 - 4 - 4 - 1 - 1	* 0 0 0 c c <b>v v</b> • <b>v</b> v			
roject Navigator	16×	20 Horse	0		P Catalog	0.9
•	×	Start Designing			Device Hernity Cyclene bi CA	14.5
Compliation Herandry					a di manina m	
			Web vis Subscription Edition		<ul> <li>Project Directory</li> <li>Selection Available</li> </ul>	6
		New Project Wizard	💿 tur fotbutere		tilinary     tilinary     tilinary     tilinary     tilinary     tilinary     tilinary     tilinary     tilinary     tilinary	
			Ap forumentation		> Enterface Protocolo > Mamory Incerfaces a	end Centroliers
			Treland		<ul> <li>Yoossars and Per</li> <li>Search for Pariser P</li> </ul>	rhends
		Open Project	Support			
			Nhats New			
iverandity 🛄 Piles 🖉 Desi	n Units 🥸 4 🕨		💋 Kothteiden Center			
eoko	1.6 ×					
ex: Completion	Oustamize					
Teck	0	Recent Projects				
🗸 🍺 Compris Design		🗄 TESMOD2.apf (Esiteb Microlantralie/Tes (	sertes 1/Modul 2/TESM003.qpf)			
> 🕨 Analysis & Synthesis						
> IP Fitter (Flece & Route)						
5 providential	di punta se funest					
> In this harder thater						
Program Device (Open Free)	eminor)					
		Close page after project tool		AND THE RAL.		
		C Den't show this screen egen			in Adda	
A state water that same from						
	stanta>>	· ·				
Cype 1D Message						
E.						
C						

### 2. Klik Next

Nitered	Que         X =           Que         X =           V ₹ Solida 2         Solida 2           V € Solida 2         Solida 2           V € Solida 2         Solida 2           V € Solida 2         Solida 2           Solida 5         Solida 2           Solida 5         Solida 2           Solida 6         Solida 2           Solida 6         Solida 6           Solida 6         Solida 6           Solida 6         Solida 6           Solida 6         Solida 6
Wand X Since I was a set of the	14.         X = 10           27. Statict 2*         > Project Stretury           10. Statuture available         > Uterry           10. Statuture available         > Uterry
n Dit studdin gyn	
< text text > Prof. Carvet Heb	
	in Ads
	n the stratefore agen

3. Kemudian tentukan Directory Project dan Nama Project, lalu klik Next

3 2 8 8 A 4 4 4 7 7 7 7 7		- 36.2 1			
Project Navigster	-ex	n	Home G	P Catalog Desice Family Outlines IV EV	***
-	^	Start Designing		Constrainty Sparson and	
Compliation Herandly				- A seture	~ 5
			Hear Desired Witcod	<ul> <li>Project Directory</li> </ul>	
				No Selection Available	
			Directory, Name, Top-Level Entity	Sest Fundants	
			What is the services deastery for this requirer?	> 05P	
			Cipters(14.)	<ul> <li>Enterface Protocolo</li> <li>Mamory Interfaces and</li> </ul>	d Carterillers
			What is the name of this project?	> Processers and Perph	wide
			Teoria (Practium,2	Search for Fortner P	
			What is the name of the top least design write for this project? This name is case sensitive and must startly mutch the entity name in the design file.		
			Tstoriel/Poitfun_2		
			use bioting Project Settings		
A herandry 📑 Piles 🧬 Design Units	224				
Turks	16 ×				
Tana Canadatan a d					
	0.450 Har				
Teck		Recent Projects			
V P Compre design		TESHOD2.mf (			
<ul> <li>p rolesses a synthesis</li> <li>b Renz (Free &amp; Bastro)</li> </ul>					
> 🕨 Assenther (Generate programme	g Rikes				
3 🐌 Emethed timing Andres					
> > LDA Nedlet Writer					
Program Device (Open Pregrammer)					
		😥 Close page after prej	< Back Red > Pittsh Cancel Hob ADD = 200.		
		Cont show this screek		The second se	
<	>			-3° 102-	
🎽 📶 😰 🛆 📥 👍 💙 < <scarda< td=""><td></td><td>~</td><td></td><td></td><td></td></scarda<>		~			
V Cype ID Massage					
8 c					
the particular A damagement (					

- <complex-block>
- 4. Pilih Empty Project, kemudian klik Next lagi

## 5. Setelah itu, klik Next lagi

Control of the set of the se	ofert Navigator 46 x	'n	Home	P Catalog 9 9
A service is leave A meady if Pfer of tegeto the "I all of a late is the paper that all of a late is a paper that all of a la	×	Start Designing		Device Herrity Cuycone IV CX
Autor 100       Autor 100       Autor 100       See: the days they must the she to be paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and all days Them is the paper databasy the paper. (1.6. Ad Ad 1 and id days Them is the paper databasy the paper. (1.6. Ad Ad 1 and id days Them is the paper databasy the paper. (1.6. Ad Ad 1 and id days Them is the paper databasy the paper. (1.6. Ad Ad 1 and id days Them is the paper databasy the paper. (1.6. Ad Ad 1 and id days Them is the paper databasy the paper. (1.6. Ad Ad 1 and id days Them is the paper databasy the paper. (1.6. Ad Ad 1 and id days Them is the paper databasy the paper. (1.6. Add 1 and id days Them is the paper databasy the paper. (1.6. Add 1 and id databasy the paper. (1.6. Add 1 and 1	Companies reading		New Project Wixaed X     X	<ul> <li>Stated P</li> <li>Project Directory</li> <li>Selection Available</li> <li>Heavy</li> </ul>
h mende i Fill d' Eccent Project 1 Marine (mens program (m)) 2 Project program (m) 2 Pro			A GUE THEME Select the design flee yet work to include in the project Cod Add all to add all design flee in the project directory to the project, Note: yee can assumpt and design flee to the project taker.	Desire Functions     DSP     Difference Protocols     Memory Instituces and Canterplans
A Marching File of Experiments (File public barres of any num definite blances. Marching File public barres of any num definite blances. Marching File public barres of any num definite blances. Marching File public barres of any num definite blances. Marching File public barres of any num definite blances. Marching File public barres of any num definite blances. Marching File public barres of any num definite blances. Marching File public barres of any num definite blances. Marching File public barres of any num definite blances. Marching File public barres of any num definite blances. Marching File public barres of any num definite blances. Marchingson File			file name: Add	<ul> <li>Youwars and Ferpherals</li> <li>Search for Portner P</li> </ul>
h hundh   FR # Cognes Fridance   h hundh   FR # Cognes Fridance   h hundh   hundh   hu			File Name: Type: Library: Design Entry/Synthesis Tool WDL Version Add Hi	
htmachy Fig # Degroups (14) de			Emperi	
de (applied = (applied =) (app	🜢 Herandry 🛄 Files 🥔 Design Units 🦄 4		Dawn	
Comparison	sks ÷ # ×		Froparties	
Tak     0     Recent Project       V > Longe Synders     0     0       > > Annuals (status (s	w: Completion • Customize			
V → Diversity System:     A → Port Price & Kolock System:	Task Q	Recent Projects		
	✓ ▶ Compile Design	E ILSMODZ.epf ()		
	3 Analysis & Synthesis			
	Fitter (Piece & Reute)			
Consider Line galaxies     Consider Line galaxies     Consider Line galaxies     Consider Line Construction     Construction     Construction     Construction     Construction     Construction     Construction     Construction	> Meconther (Generate programming files)			
P Includes View     Propert Docs Clear Proteinings Are programmers or proteining and an angle of the second and an angle of the second and and angle of the second angle of the secon	> (me)ued trong andyss		Provide the well-concerved are non-default libraries. They i have an	
Vitan Local (a) Production     Oracle page after page     Alter to an tax and the page after page     Alter to an tax and	> P UDA Netlet Writer		shorth on her country of and instances of the second	
C diam page at any page 1 too the page at any page at any page 1 too the page at any page at any page 1 too the page at any	<ul> <li>Program Device (open Programmer)</li> </ul>	-		
Contraction this stores water		Close page after pres	< Beck Next > Prish Cancel Help	AND THE RAL.
		Don't show this screek.	signi)	
2 ML				÷ ⊁d≤
an O A a a Technology	>			

6. Lalu ganti **Family** ke **MAX 10 (DA/DF/DC/SA/SF/SC)**, kemudian ketikkan di **Nama Filter 10M50DAF484C7G**, lalu klik Available Device yang tersedia, kemudian klik **Next** 

roject kavigtter 2.6 x	ñ	Home	0	P Catalo;	9.9
×	Start Designing			Device Femily Cyclone 3/ CX	
A Graptice Harakhy     A Graptice Harakhy     Brazenia 2 Graptice     Constraints     Co	Recent Projectr	Circle Patiente Wittend Circle Circl	terminal on the factor for the factor for the factor of the factor for the factor	A meta and a meta	X I I
>	Con't show this screb.	again		iter Addi	

# 7. Kemudian klik Next

Completen Heardly Start De	signing	zard				_	Q.	×
Complition Herarchy	🍕 New Project W	rard					v 2 totalor 10	~
	New Project W	zard		1				
	CO					<	Project Directory     Selector Available	
	PUA 1001 S	ettinos					✓ tileary	
	COA TOOLO	coungs					<ul> <li>Sasic Functions</li> <li>DSP</li> </ul>	
	Specily the atter if	At table used with the	Quarter 2 m	Alternation to class	aph lon tribur		> Interface Protocols	
	EDA tools:						> Hemory Interfaces and Memory Interfaces and Memory Interfaces	Controllers
	Teol Type	Teol Name	Formati	( <b>c</b> )	Run Tool Automatically		Search for Former P	
	Design Entry/Synt.	<tane></tane>	· CHINE		Run this tool automationly to synthesize the current design			
	Simulation	ModelSim-Altera	· VHEL		Run gato-lovel simulation automatically after compilation			
	Formal Verification	(host)						
	Board Level	Tening	<24(10)	•		And and a second se		
		Symbol	<nine></nine>					
Files of Design Units 12 4		Stonel broghty	-Minzi					
ia i e x		Boundary Scan	<342m2					
< Completion   Customiza						and the second s		
Test A Recent F	rojecti							
V in terminiano (i) ma	in the second							
Analysis & Synthesis	on state of							
Pittor (Piece & Routo)								
> > Accombiler (Generate programming files)								
> > (me)usi trung Andyss								
> > GDA Netlist Writer								
Fregram Device (Open Pregrammer)								
Close pag	atter prog			< Beck	Next > Rnish Cancel Help	ANDIERYA.		
Den't sho	this scredu upon					_	Conceptor 1	
>								

## 8. Lalu klik **Finish**

rojett Navigteer 46 x	ñ	Home	0			P Catalo;	**
X	Start Designing					Devict Family Cyclone 2/ CX	
Compliation Herandry						9	X
		🍕 New Project Wizard			×	<ul> <li>S Installed P</li> <li>Project Directory</li> <li>To Selector Available</li> </ul>	
		Summary				> tileary > base Functions	
		When you did Frish, the project will be case	oted with the following set	larger		> 05P	
		Present directore:	0	abera\16.1		<ul> <li>Interface Protocols</li> <li>Memory Interfaces an</li> </ul>	d Centroliers
		Project name:	Tu	torial_FraitNum_2		> Processary and Peript	write
		Top-level design entity:	Tu	torial_Praktikum_2		Search for Former P	
		Number of files added:	0				
		Number of user libraries added:	0				
		Device assignments:					
		Design template:	10				
🕯 Herandry 🔡 Files 🥔 Design Units 🛛 😣 🕨		Family some:	N1	x ta (byor)bc/sk/sr/sc)			
1.6.4		Device:	10	N500/FIBIC7C			
		EDA tools:					
V: Completion • Oldoniza		Design entry/synthesis:	G	(shire)			
Teck D	Recent Projects	Simulation:	N	detSim-Atera (VHEL)			
🗢 🍉 Compile Bergn	E IESMODZ.epf ()	Timing analysis:	0				
> 🐌 Analistis & Synthesis		Operating conditions:					
Fitter (Piece & Route)		Core valiage:	1.2	v			
> > Assembler (Generate programming files)		Junction temperature range:	04	15 °C			
> > (me)ued trang indyss							
> > EDA Rieflet Writer							
Program Device (Open Pregrammer)							
	Cose page after pres		< Beck	Next > Rrigh Cancel #	da Alberta		
	Den't show this scree.	adgest1			DORTHROUS		
>						State -	
11 12 15 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	~						
rype in Message	4170 In 1997	The sector of the standard	C				
dp253020 betault device lowooldardo	actor is automatica	ity selected for the device	THEIR MAK 10				
1							

9. Setelah itu akan muncul tampilan awal dari Project Quartus II seperti gambar dibawah ini



10. Kemudian buat file baru dengan cara klik **File → New**, lalu pilih **Block Diagram/Schematic File**, kemudian klik **OK** 

Project low/arthr	1.6×				P Catalor	99×
9	×				0	× R
boty	I	Inva       Inva      Inva	IRA.		<ul> <li>Zi heliel 3</li> <li>Prédect tilectory</li> <li>Saac Andors</li> <li>Sign Andors</li> <li>Bard Carl Netonie</li> <li>Mines Junificiene</li> <li>Processe and Fright</li> <li>Mana Junificiene</li> <li>Saac Krudtos</li> <li>Solo</li> <li>Bard Carl Netonie</li> <li>Solo</li> <li>Bard Carl Netonie</li> <li>Solo</li> <li>Bard Carl Netonie</li> <li>Solo</li> <li>Bard Carl Netonie</li> <li>Solo Inter Fartner P</li> </ul>	nd Cantrollers Herald nd Cantrollers
A threader Bloc & Decise 1	0-Fr 22 d b	Hexadecimal (Intel-Format) File	DITCONT			
		Memory Initialization File				
Teska	- e x	In System Sources and Probes	Fle Vorsion 14.1			
Completion         Task           > IP Completions         Task           > IP Analysis to Synthesis         IP Proor (Pasce & Route)           > IP Analysis to Synthesis         IP Proor (Pasce & Route)           > IP Analysis to Synthesis         Imaginary Synthesis           > IP Analysis to Synthesis         Imaginary Synthesis	among files)	Oge - Song - Constanting - Song - Constanting - Constantin	1 mp			
> 🕨 EDA Netliet Writer	· · · · · · · · · · · · · · · · · · ·			W Buy Software	1	
Program Device (Open Program	imar)			Were Quertus II     Information     Counterfation	1	
				Notification Contar	The second second	
5	>				and the second s	
Pype ID Message	ardi>- ,	×				

11. Akan muncul workspace seperti gambar dibawah ini

ect Navigator a ex	22		Block1.br	f		8					IP Catalog	0.9
×	万日日	A O S.	0155	1110	0111	18 14 4 1	8 8 2	5 2 2 10	04		9	×
Dorby NAX 10: 1085064 694232 P Tobriel, Problem_2 *1											Y 2 Installed P     Yroject Directory     Sase Functors     Sase Functors     Sase     Hierbox Hubinais	
											Hocessers and Perpheter     Hocessers and Perpheter     Hocessers and Perpheter     Hocessers and Perpheter     Hocessers     Hocessers	rais
											<ul> <li>Heleface Hotocole</li> <li>Memory Interfaces and</li> <li>Scanth for Pettner IP</li> </ul>	Controllers
• Hierarday 📑 Files of Design Units 🧌 🖌												
la 18×												
Completion • Oustomize												
Tesk ⊃ ✓ ≱ Compile Design												
> 🕨 Analysis & Synthesis												
Pittor (Piece & Rauto)												
P Assembler (Generate programming files)     P TensQueed Tening Analyses												
<ul> <li>Program Device (Open Programmer)</li> </ul>												
											* Internet	

12. Lalu kita masuk pada pembuatan IC, sebelumnya tentukan IC jenis apa yang akan dibuat. Pada langkah praktikum kali ini IC yang akan dibuat adalah IC TTL 7408. Klik tool **Symbol Tool** seperti gambar dibawah (di mark merah)

Project Navigstor 3.6 x	2	Block1.bcF			0					IP Catalog	2,
a x	3 4 4	0 A 0 8 - 0 1 5 1 1	111	011:	12 A 4	8 8 3	3 2 2 9	D4		0,	×
Britly MAX the transmax 466/26 > Tuturel_Prettikum_2 A										Y Zi Installed F     V Project Director     Sack Function     Sack Function     Sack	<b>Y</b>
		🗑 Symbol					,	a		<ul> <li>Memory Streft</li> <li>Processers and</li> <li>Easic Functions</li> <li>Sop</li> </ul>	scenard Controllers I Porpherals
		Ubraries: > C cyatore/i4.j/quartes/literere	al I							> InterSoce Hold > Hemory Storefs Soarch for Pertner	cuis aces and Controllers r P
A Hwardy Eles & Design Units											
isska											
Task Quitoritas		C I	>								
Anavsis & Synthesis     Anavsis & Synthesis     Proc (Piece & Route)     Accombler (Generate programming files)		Repeat meet made	A.								
Dissettand Timorg Andyse     Etit Note     Etit Note     Program Device (Open Precommer)						СК	Cancel	j			
i >	<									> 10 POI-	
× 41 ♀ △ ▲ A ▼ <<5carch>>		<u> </u>									
Evpe ID Message											

13. Kemudian pada Libraries, klik folder c:/altera/14.1/quartus/libraries/ → primitives → logic, lalu pilih gerbang logika dengan nama and2 dan klik OK

report Navigetor 2.6 x	2	Block1.bcf			8					P Catalog	99
A X	3 4 4	DADS-DUDIN	NND.	011.	1º 14 4 1	8 11 2	3 4 3 9	(h		Q,	ж
Entry Max to: 1046004 444026 > Tutorial Photokum, 2 75										Y Zi Installed P     Y Project Dire     Sasic Fun     SosP     Substitute	ictiony ctions Protocolis
		Symbol						<		<ul> <li>Hemary 3</li> <li>Processer</li> <li>Elibrary</li> <li>Easic Fun</li> <li>359</li> </ul>	merfaces and Cantrollers s and Porpherals dons
		Ubrartes: V ID c;aters/34.j/gartus/ibrar A ) C magal actions ) C uthers								<ul> <li>Henory 3</li> <li>Memory 3</li> <li>Soarch for Pr</li> </ul>	Votecon Votecon Infaces and Carboliers Inface IP
Ѧ Hananday 🛄 Files 🖉 Design Units 🔍 👍		Committees     Control     Control     Control     Control     Control									
aaka 1.6 ×		12 mit 2	10000								
ow: Completion • Customize		a mb			155						
Task Ø		tiane:									
> > Analysis & Synthesis		and2								1	
> 🕨 Pittor (Piece & Routo)		Z Repeat meet made	11111					areas and			
Assembler (Generate programming files)		Insert symbol is took	0100010								
> Emethed trong index						OK	Cancel	1			
P EDA fields (Veter							-				
Program Device (Upon Pregrammer)											
										~	
· · · · · · · · · · · · · · · · · · ·	<									> 12 Ads	
. All 😳 🛆 👗 🚸 🔻 <>Scanda≫		V									
Pype ID Message											

14. Lalu atur posisi dan jumlah gerbang logika tersebut seperti gambar dibawah ini, gunakan fungsi rotate untuk memutar posisi gerbang logika dengan cara klik kanan komponen (gerbang logika) → Rotate by Degrees → Rotate Left 270. Lalu untuk melepas komponen yang masih ada pada cursor tekan ESC pada keyboard

A     X <th>PTC/RET SUV/RED/</th> <th>100</th> <th></th> <th></th> <th>Block2.bdf#</th> <th></th> <th></th> <th>8</th> <th></th> <th></th> <th></th> <th></th> <th>IP Cetako 9 1</th>	PTC/RET SUV/RED/	100			Block2.bdf#			8					IP Cetako 9 1
	9, X	羽白之心	( A +> 場・	0.555	11110	ONN	1 a 4	8 8 2	8 12 25 9	(x			Q. X
A men te translation of a mental state of the state of t	Emity												∧ ✓ <sup>2</sup> / <sub>41</sub> tretele
	MAX TR: 10050041484C23												V Project
	<ul> <li>Tutortel_Positikum_2 4x</li> </ul>												> 05F
													> later
													> Mer
													V Library
A mencing ■ Price → Secondary ■ Price     Topological						18							> Basi
					1000000	Uline							> DSP
							1.18						> 160m
							1.1						Scarch
							Linne						
Network         Prote         Protection           table         - France           table         - Protection           *         Protection						18							
Intervedy         The         P (and a construction)           top (and a construction)         Construction           V         P (and a construction)						U1							
tak         tak           vic Complete         Control           V         Dompk lengt           J         Annot States           J         Property lengt           J         Annot Control Property	A tieranday 📑 Files & Design Units 😤 d 🕨						-						
Mile         Term         Term           V         Orapidar         Orapidar           V         France         Orapidar							Uiiiii						
Own plant         Tele         Output           V         Force lines         Image: Stress lines	Teska PA												
Tak         P           * Ø Ordel harden Syndem         -           > Ø Anden Syndem Syndem Syndem         -           > Ø Anden Syndem Synde	ovy: Completion • Customize												
✓         Porty Prior           >         Porty Prior Schools           >         Porty Prior Priore Prior Prior Priore Prior Prior Prior Prior Priore P	Teok D												8
	V 🕨 Comprie Design												
() ≥ Part (Park Scatt) ) ≥ Australic (care program) (Part) ) ≥ (care) = (care) +	> 🕨 Analysis & Synthesis												
2      4 Anathric (Gaver program) faid     2      5 Interview (Irrsy fulges     2      4 Interview (Irrsy fulges     2      4 Interview (Irrsy fulges     2      4 Interview (Irrsy fulges     4 Interview     4 Interview	Fitter (Fiace & Reute)												
Finalpest trong indiges     D = EDA telefit Witer	> Assembler (Generate programming files)												
> > EDA faelist Weter	> 🕨 TaneQuest Irring Andyss												31 C
	> EDA Netlist Writer												
Program Center (open Programmer)	Program Device (Open Predrammer)												-
													1
													~ <
< > <	< > >	<										>	-10 Add
			×										
Vrve ID Massage	Pypr ID Message												
	x.												

15. Tambahkan VCC dan GND (Ground) dengan cara klik tool **Symbol Tool**, lalu ketik pada **Name : vcc** dan letakkan pada workspace. Lakukan hal yang sama pada Ground klik tool **Symbol Tool**, lalu ketik pada **Name : gnd** kemudian letakkan juga pada workspace.

# Modul Praktikum

ett Navigtdar 2.6 x	1	in the second second											
inty	342	ACS	s • 🗋 🗥 🐂	21195	IOND .	· · · · · · · · · · · · · · · · · · ·	a 9 8	8 W B 9	C4				0, 1 ∧ ✓ 41 Inst
octic 1046006/464C26 Tuterol_Profilicam_2 75													Y Pro
													v Lie
		🖹 Symbol						>					
		Ubrartos:	0 xor C other	^									195
welly 📑 Flics of Decign Units 20 4			Q gad Q param Q title										
repletion • Guttomize_		<	9 1863 9 1863	2		1996.							
Comple Design  Analysis & Dythesis  Entry (Parce & Burns)		Name:	essent maske										
Accombine (Conserve programming files)     Enveloped from glandyse     Environment Writer		inart o	symbol es block				ОК	Cancel					
Program Device (Open Precrammer)									_				
>	<									 		>	
r ID Message													
20m / Processing /										 		15	6.1 0%
zan人Pereng/ 오田 孝 @ @ <u>@</u> 9 ]	<b>AT 6</b>									^	📾 ()× 🖦 /	15 § 📣 HNG	6.1 0% 81/ AM
zan A Minessey / P H	Tutonal Pakete Yzelew Leip	(n.) #								^	● (× ■ )	15 8	6, 1 0% 817 AM 13
Ann A. Parcesson J P. H. C.	Tutonal Paktie Vities Leip m_2 +	on 2 ≉ ¥ ¥ Z €	F800	► e <sup>t</sup> fit. ett Becklad*	<u>्</u> रे स र 🏈	\$ <b>4</b> 8	*			^	æ q× ≞ ;	15 2 🧳 NG [Sat	6.1 0% 817 AM 13 151 altern.com
A Decement / Journey / A H C I C I C I C I C I C I C I C I C I C	Tatonal Pasition Writer Leby	un 2 5 2 9 7 4 2 A D S	₩¥∳© :•⊡\\\	► J D D Beckber 7 \ \ \ L	0 e e e ∳	9 <b>4 9</b>	9 2 4 8	5 iz 2. 9	(4	^	▲ (1× ■) /	19 & A 196 	6, 1 0% (81/ AM (1) (1) (1) (1) (2) (2) (2) (2) (2) (2) (2) (2) (2) (2
V prevently and Constant for any strain of the set of	Tutonal Paister Zinier Leb Zinier Leb Zinier Leb Zinier Leb	m) ₹ ¥¥¥74 7ACS	€€¢© €•⊡`\`1	えくノノー Beckber ● むた 白	0 छिन्द्र 🖗	<ul> <li>A</li> <li>A</li></ul>	** •*	6 4 A 9	D.	^	● 0× ■) ;	15 5 Å ENS 5 m	6.1 0% 81/AM F1 Ethator.com P Cablo U, V V M V V M
An Alexandry / A Life C Life	Tutonal Paketa Zirelari 2 - 1 2 - 2 2 - 2 2 2 - 2 2 - 2 2 - 2 2 2 2 - 2 2 2 - 2 2 2 2 - 2 2 2 2	m) # ¥ ¥ 1 4	₩₩ <b>₩</b> ₽₩ ₽	▶ ₽ ° ° ° ° Beckef* 7 \ \ \	0 स द 🍑	<ul> <li>▲ ●</li> <li>■ = 4</li> </ul>	9 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	6 in 2 in 1	CN	~	■ 0× ■> /	150 2. J ENS 	6, 1 0% E17 AM IT abor.com Q, Q, P Cetalo P Cetalo P Cetalo P Cetalo
A freeday	Tutoral Peakin Zenime (nb ma 2 is 4 i 2 is 4 i	m2 ≉ ¥¥274 2A C S	¥¥∳© ≅•⊡*\1	► 3 <sup>2</sup> 52 62 Beckbe <sup>44</sup> 7 \ \ \ L	0 & 10 \ \ -	<ul> <li></li></ul>	17 2 2 2 1 2 1 2 1 2 1 2 1 2 1 2 1 2 1 2	5 Q B 9	0	^	● Q× => ;	150 2	ET ABUT ONE ET ABUT ONE P CEALO Q, V FV V FV
A Cheveragy A Hit C In C I	Tutoral Patter green with	on ) ≅ 2 9 1 4 2 A C S	₩ • © :- 0 1 1	► J S S Beckber I N N L	0 e < 4			· · · · ·	N		▲ (× = · )	159 S. J. ENS East	St. 2 0% ST/AM The alart.com Q. St. 2 0% St. 2 0%
A. Presence           A. H.H. & C. D. D. D. O.           A. H.H. & C. D. D. D. D. D.           A. H.H. & C. D. D. D. D. D.           A. H.H. & C. D. D. D. D.           A. H.H. & C. D. D. D. D.           A. H.H. & C. D. D. D.           A. H.H. & C. D. D. D.           A. H.H. & C. D. D.           A. H.H. & C. D. D.           A. H. & C. D. D.           A. H. & C. D. <t< td=""><td>Tuteral Patient</td><td>un 2 5 2 9 2 4 2 A D 5 2 A D 5 3 3 3 5 4 5 4 5 4 5 4 5 4 5 4 5 4 5 5 5 5</td><td>9 ar</td><td>► J D D D</td><td>0 e e 4</td><td>• • •</td><td></td><td>• • • • • • • • • • • • • • • • • • •</td><td>P</td><td></td><td></td><td>15 C C No Entr</td><td>6.1 0% 817 AM 11 12 alars.com 14 14 alars.com 15 14 14 14 14 14 14 14 14 14 14 14 14 14</td></t<>	Tuteral Patient	un 2 5 2 9 2 4 2 A D 5 2 A D 5 3 3 3 5 4 5 4 5 4 5 4 5 4 5 4 5 4 5 5 5 5	9 ar	► J D D D	0 e e 4	• • •		• • • • • • • • • • • • • • • • • • •	P			15 C C No Entr	6.1 0% 817 AM 11 12 alars.com 14 14 alars.com 15 14 14 14 14 14 14 14 14 14 14 14 14 14
A Cheverong / C Life C	Tatana Padata Tatana Padata Pada Padata Pada Padata Pada Padata	un ) 5 2 A C S 2 A C S 2 A C S United Unites	© 3 acr 0 acr	► S G G Pectad" T \ \ \ L	0 8 2 V			· · · · ·	P.				6.1 05 817 AM P Cessio P Cessio
tan A Processory / C III C III C III C III C IIII to the fire C Attraction (A Manual Mattaneo) to the topological program (C Manual Mattaneo) to the topological program (C Manual Mattaneo) topological program (C Manual Mattaneo) Setty the topological program (C Mattaneo) Setty the topological program (C Mattaneo) Setty IIII Plass of program (C Mattaneo) Setty IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII		un ) 5 2 A C S 2 A C S Vertes Vertes	C dat C		0 e e y			· · · · ·				15 No Entro	6, 1 0% (31/ AM (31) (3) (4) (4) (4) (5) (5) (5) (5) (5) (5) (5) (5
An A Densema / An Inde Are Contract A United in An and Are Contract A United in Contract A United in Area (Area (		un ) 5 2 A C S 2 A C S Unress	0 sor 0	Peta di	) ei≪ ∳ 10 \ \ ]	• • •			N			150 50 (* 1900) 60	E1 0% E17 AM E1 Blatt.com ■ Calage Q. • V Ibn > > > > • V E1 Blatt.com
Constant of the Constant of t	Comparison     C	un ) # 2 9 1 4 2 A D S 2 A D S		Not to the interview of	0 e < 9			5 • 2 • 9	<b>6</b>			ISS A (* NN) Fann	8.1 0% 817 AM 10 12 Children om 0 Q 2 Children om 2 Child
State A University /       P:     III     IIII     IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII	Comparison     C	tin 2 5 2 A D S A			0 e < 9								8.1 0%. 8.17 AM 1 2 Colskin.com 2 Colskin.co
A functionary      A functi	C C	tin 2 5 2 A D S A						~					8.1 0%. 8.17 AM ■ 2 Cotskin.com 0. 2 Cotskin.com > Pin > 2 Cotskin.com > 2 Cotskin.
A Decemp       An 21 de lar. Catatory ha Vyhanoli Presidancy 2       and 1 de lar. Catatory ha Vyhanoli Presidancy 2       and 2 de lar. Catatory ha Vyhanoli Presidancy 2       and 2 de lar. Catatory ha Vyhanoli Presidancy 2       and 2 de lar. Catatory ha Vyhanoli Presidancy 2       and 1 de lar. Catatory ha Vyhanoli Presidancy 2       and 1 de lar. Catatory ha Vyhanoli Presidancy 2       and 1 de lar. Catatory 1		un 2 3 2 A D S 2 A D S Constant Interes 2 A D S 2	O see     O					>	P				5.2 0% 817 AM 7 9 Calencian 9 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
State A Processory J       A Line of the Capacity Schward Processory of the gase (page asymptotic filtering page of the Capacity Schward Processory page to the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward page of the schward		un 2 5 2 A D S 2 A D S Constant Lunetes Lunetes Anne Santa Santa	S and S					· · · · · · · · · · · · · · · · · · ·	P			19 4 6 19 19 19 19 19 19 19 19 19 19 19 19 19	5.1 0% 8.1 / AM P consist 0.4 0.4 0.4 0.4 0.4 0.4 0.4 0.4
State A between j       A is a fait of the Capture A Schward Shatkard Sh	Tationg Packing	Restored and the second	0 co 0 co				7 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1					99 2005 - 200 2005 - 2005 - 200 2005 - 200	5.1 0% 517 ABIT.00 ■ 2 Calays > 2 Cala
A functionary / A li C in C	ST C	In ) 5 5 2 A D S A D S A D S B Soubcl Uprates ↓ A D S C D S ↓ A D	O Sor O Sor			▲ ▲ ●						99 100 - 100	L 95     STIAM     T     STIAM     T     Statement

16. Sehingga komponen yang ada pada workspace seperti pada gambar dibawah ini

opert Navigation 2 e x	23			leck2.bdf*			8					IP Cetalog
×	理论成功	↓ A 口 塔・	0.2.2.2	1110	011	潜血学	6 6 2	8 4 25 9	(u			Q X
Ently • Nax 10: 10/5004/494023 • Tutorid, Profilikum, 2 43												Y an Instal     Y Proje     S Ba     S D5     S in
				į	31	m						> No > Pro > Elbrai > El > Di
				Ĩ		Ϋ́.						> Ne G Scerc
A Heardy ☐ Files → Design Units → € € ↓						Ð						
w: Completion • Customize					õio.							
Tesk D V D Complet Design												
Professes a synthesis     Professe & Reutes     Prove & Reutes     Prove (Sevential programming files)     Prov(Deed Transp Profess												
EDA Netlet (Writer     Program Device (Open Priorammer)												
												<

17. Kemudian buat pin input dan output dengan cara klik tool **Pin Tool** lalu pilih **Input** dan juga **Output**.



18. Posisikan pin input dan pin output seperti pada gambar dibawah ini, gunakan fungsi flip vertical/horizontal untuk membuat komponen berbalik posisi dengan cara klik kanan komponen lalu klik Flip Vertical atau bisa juga Filp Horizontal



19. Kemudian lakukan wiring dengan cara kilk tool **Orthogonal Node Tool** atau bisa juga secara langsung dengan klik dan tahan ujung input/output lalu sambungkan ke input gerbang logika, vcc, ground. Jika terdapat bulatan pada wiring, itu artinya wiring belum tersambung dengan benar, hapus wiring tersebut kemudian lakukan wiring ulang.

3 Q & O A	08.01111//00/	γ • 4 α α α		0 @			9. X
			100 UK 11 18 115 1				
							- v # hotelet
							V Project
ni	in name INPUT			INPUT nin_name			> Beck:
DI DI	WCC			ACC but using			> 05P
			VCC				2 304
		NN					) For
	in name I NPUT	St St		INPUT / nin name			v Ubran
erre erre - 12	VCC	· 드 🔍	and and a second	ACC. Dur ugine			> Bed
							> D5P
		all sector and and a sector and	57555 8 32 3				2 He
			6 st	INPUT nin_name1			a ferre
	pin name: OUTPUL.		9 3	VCC phi hamot			W SCOL
			···· \ / ···				8
	nin name INPUT			OUTPUI pin name			12 I.
	VCC		1				6
		D2					
		A A					
	oin name			INPUT oin name1			
	VCC			VCC			-8
			m 01				
			S St				2
	nin namet		9 A	INPUT ( pin name1			
	part manne			400			
			T				
		$\Box$					2
F	bin name 🔅 🔛 🔤	GND	nine statement	OUTPU" pin name			2
1111111111	YUU				11111		2 I.
							5
							· · ·
							> -> Add
		pin name UVEU pin name! Ourput pin name UVEUT pin name UVEUT pin name! Ourput pin name! Ourput	pin name UNBUT	pin name UVER pin name UVER pi	pin name WERT pin name WERT pin name WERT pin name WERT pin name WERT pin name WERT pin name pin name wert pin name pin name pin name wert pin name pin pin pin pin pin pin pin pin pin pin	pin name       WEUT       WEUT       WEUT       Din name         pin name       WEUT       WEUT       Din name         pin name       WEUT       Din name       WEUT       Din name         pin name       WEUT       Din name       WEUT       Din name         pin name       WEUT       Din name       Din name       Din name         pin name       OUTPUT       Din name       Din name         pin name       WEUT       Din name       Din name         pin name       OUTPUT       Din name       Din name         pin name       WEUT       Din name       Din name	pin name       WEUT       WEUT       WEUT       Din name         pin name       WEUT       Din name       WEUT       Din name         pin name       WEUT       Din name       Din name       Din name         pin name       WEUT       Din name       Din name       Din name         pin name       WEUT       Din name       Din name       Din name         pin name       WEUT       Din name       Din name       Din name

20. Ubah nama pin (pin name) dengan nomor sesuai dengan nomor kaki IC yang ada pada IC tersebut. Caranya **double click** pada tulisan pin name atau bisa juga dengan **klik kanan** tulisan pin name lalu klik **Propeties.** Sebelum itu ganti **pin value** yang tersambung pada Ground menjadi **GND** 

Quartus II 64-98 - C/altera/ 14.1/Tutorial Praktikum			- a ×	
Ets Edt Yaw Buyer Assignments Processing Inch.	Watew Bala 😻		Search alteration (1)	
🗋 😂 🖬 🖉 🕺 🖓 🖄 🦛 🕅 Tuta Stell Provide	2 - * *********************************			
Project Navigstar 9 9 ×	10dt.sl*	0	P Catalog # # ×	
A	A RECEDUAL CONDENSION A	45 8686690	N. A. N.	
MAX 10: TIMBICAL484C/G			Project Dir	
Fittend Positikan_2 Z		NPUT 14	> 059	
	R fatureles	× 100	> bitertece > Methory	
			> Process	
	····· 2 innerd Formet		> Besic Pu	
	To strate multiple prov, enter a name in ADD, bus no (Cor example: "name(307), or enter a correct sego	alam anal ist of names.	> 05P > Interface	
		NOT THE REPORT OF	> Memory	
	3	12		
	Default velue: 010	• • • • • • • • • • • • • • • • • • • •		
	4		8 - 112 - 11	
A Harandy 🖹 Ries of Sestin Intes 🔍 (	the second s		1 111 1	
Tasks 99×	1111111111111111		5 111 1	
Companya - Concentration	5	INBUT 10		
Trok G	And the second sec			Mongganti nin
> 🎽 Antiyos & Synthesis		difference in the second second		mengguni pin
> 🕨 Fitter (Place & Rauto)	6			
<ul> <li>Processor (Construction or optimizing Res)</li> <li>PrimoQuest Timing Analysis</li> </ul>				value Ground
> > EDA Rottist Writer				
Friedrem Device (Open Fregrenmer)		······································		
c >			> 12 Ads	
a a a a a a a a a a a a a a a a a a a	~			
vos 10 Message				
			3	
EL_System_A_htoossing_/			100 418 CM	
11 오러 # 2 🗎 🖿 🧕		A • 4	× ■1 /6 /\$ ENG 9:10 AM 🗐	
Country 1 64-18 - Colors / 441 Internal Practicums	lutonal Prakticanga Motor India 10		- 3 x	
0 10 14 14 14 14 15 10 10 17 14 14 Form	1 • <b>1</b> • 7 4 4 4 6 6 • 3 1 9 6 6 6 7 4 4 4 4		Dia di statuta 1	
Project Navigator 9.9 ×	a itada.se*	0	T Cathled # # ×	
a, X	◎ ◎ ● ● ▲ ● ◎ ● ■ □ □ □ □ ■ ● ▲ ● ▲ ● ▲ ● ▲ ● ● ● ● ● ● ● ● ● ● ●	4 A B A A A A A A A A A A A A A A A A A	9, X 11,	
Inthy			<ul> <li>Y B Indaked P</li> <li>Protect De</li> </ul>	
MAX 50, 10M3034 484CPS     Toland Positikan 7.7	1 INPUT	NPIT 14	> desic Pu	
	VCC	VCC IN	> bas	
		. MCG:	> Memory > Reserves	
	2 2 2	NRUT 13	✓ Library	
			> 05P	
	Y		http://actional.com	
			Mattery	
	3		> Memory @ Search for I	
			> Memory Search for F	
	3001P0		> Metery Search frer f	
💩 Hanandry 📓 Ries 🖉 Design Units 🗮 🖡	3OUTPO		Paratria	
که اندمندان اور اندون ا			> Newry © Canditer	
که nacody از ۲۹۶ که کوره کاری کرد. Tasis ۲۹ که Nacc Completion ۲۰ Contense			> Newsy Search for f	
ab transfy B Ries at Sestin Inter ≥ () Trais Trais to an		2 00780 12 00780 11	> knowy	
ab exanady B Ries of begin inter ≥ ↓ Trass - + + + + + + + + + + + + + + + + + +			> Honry Brench for I	
Anacoby Bres ≠ Jeeps Pes (4)     Trais + 9 x     Trais + 9 x     Trais + 9 x     Trais + 9 x     Trais 0     Trais 0     Provide Script			Second	Hasil Wiring
An exceedy     By these     P descent Peres     P descent Pe			≥ Annon Escontrol	Hasil Wiring
searchy B Res ≥ beggs /bes <i></i>				Hasil Wiring
A secondry ■ new 2 Josep Piles				Hasil Wiring
A secondry     Bit Res     P steep pres     Ver     Teal     Ver     Teal     Ver     Teal     Ver     Ve				Hasil Wiring
da nazarda ili inter d'atopparte internationali int				Hasil Wiring
Tasa Paga Para Paga Pag				Hasil Wiring
An exacutor in the set of background in the set of the				Hasil Wiring
Task Paparet Control of Control o				Hasil Wiring
Ansandy in the of page pre- tage      The Control Log of the office	3 - 001P01 4			Hasil Wiring
Ananoly I has Popping Provide Parameters     Task Parameters				Hasil Wiring
Accordy Tes Property Constrained      The Property Constrained      The Property Constrained      Property Constraine				Hasil Wiring

21. Kemudian berikan bingkai atau frame dengan menggunakan tool **Rectangle Tool** lalu rapikan sesuai dengan gambar dibawah



22. Berikan label atau nama dengan menggunakan Text Tool



23. Terakhir Save dengan cara menekan Ctrl+S atau bias dengan cara klik File → Save. Lalu tentukan directory folder untuk menyimpan file tersebut



## 2.4 Soal Jurnal

- 1. Buatlah IC CMOS 4071 dengan menggunakan blok diagram menggunakan software Quartus II
- 2. Tuliskan tabel kebenaran dari gerbang logika berikut !



3. Tuliskan apa yang telah dilakukan pada praktikum modul 2 menggunakan Bahasa kalian sendiri!